

ĐẠI HỌC ĐÀ NẴNG
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN

ĐỒ ÁN TỐT NGHIỆP

NGÀNH: KỸ THUẬT ĐIỀU KHIỂN VÀ TỰ ĐỘNG HÓA

ĐỀ TÀI:

**THIẾT KẾ MẠCH CHUYỂN ĐỔI ĐIỆN ÁP CÓ
SỤT ÁP THẤP SỬ DỤNG CÔNG NGHỆ CMOS**

Người hướng dẫn: **TS. NGUYỄN KHÁNH QUANG**

Sinh viên thực hiện:

- 1. TRẦN ĐỨC THỊNH – MSSV: 105210337 – LỚP: 21TDH2**
- 2. TRƯƠNG ĐÌNH MÙI – MSSV: 105210388 – LỚP: 21TDHCLC2**

Đà Nẵng, 6/2025

TÓM TẮT

Tên đề tài: Thiết kế mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS

Sinh viên Thực hiện: Trần Đức Thịnh MSSV: 105210337 Lớp: 21TDH2

Sinh viên Thực hiện: Trương Đình Mùi MSSV: 105210388 Lớp: 21TDHCLC2

Thiết kế mạch chuyển đổi điện áp có sụt áp thấp nhằm cung cấp điện áp đầu ra 1,7V ổn định và chính xác (sai số $\leq 1,5\%$) từ một nguồn đầu vào 2V ($V_{\text{drop}} = 300\text{mV}$). Mục tiêu hàng đầu là đạt được hiệu suất cao về độ chính xác, đáp ứng nhanh với thay đổi tải (tối đa 10mA) và đặc biệt là tiêu thụ dòng điện tĩnh cực thấp (I_Q tối thiểu). LDO được thiết kế trên công nghệ gpdk90, với tụ tải $C_{\text{out}}=200\text{pF}$ và ESR 100m Ω .

Kết cấu đồ án tốt nghiệp

Tóm tắt

Nhiệm vụ đồ án tốt nghiệp

Phiếu kiểm soát tiến độ làm đồ án tốt nghiệp

Lời nói đầu và cảm ơn

Mục lục

Danh sách các bảng, hình vẽ

Danh sách các ký hiệu, chữ viết tắt

Chương 1: Tổng quan về mạch chuyển đổi điện áp có sụt áp thấp

Chương 2: Thiết kế mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS

Phần Kết luận

Chương 3: Kết quả thực nghiệm mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS

Phần kết luận và kiến nghị

Tài liệu tham khảo

NHIỆM VỤ ĐỒ ÁN TỐT NGHIỆP

TT	Họ tên sinh viên	Số thẻ SV	Lớp	Ngành
1	Trần Đức Thịnh	105210337	21TDH2	Kỹ thuật điều khiển và tự động hóa
2	Trương Đình Mùi	105210388	21TDHCLC2	Kỹ thuật điều khiển và tự động hóa (CLC)

- Tên đề tài đồ án: Mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS
- Đề tài thuộc diện: Có ký kết thỏa thuận sở hữu trí tuệ đối với kết quả thực hiện
- Các số liệu và dữ liệu ban đầu:
- Nội dung các phần thuyết minh và tính toán:

a. Phần chung:

TT	Họ tên sinh viên	Nội dung
1	Trần Đức Thịnh	Chương 1: Tổng quan về mạch chuyển đổi điện áp có sụt áp thấp
2	Trương Đình Mùi	Chương 2: Thiết kế mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS Chương 3: Kết quả thực nghiệm mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS Phần kết luận và kiến nghị

b. Phần riêng:

TT	Họ tên sinh viên	Nội dung
1	Trần Đức Thịnh	Tổng quan về mạch chuyển đổi điện áp có sụt áp thấp, các tham số đánh giá, thiết kế mạch khuếch đại, thiết kế mạch tạo điện áp tham chiếu, thiết kế mạch ổn áp, kết quả thực nghiệm
2	Trương Đình Mùi	Bù tần số, bù Miller, độ ổn định của hệ thống

5. Các bản vẽ, đồ thị

a. Phần chung:

TT	Họ tên sinh viên	Nội dung
1	Trần Đức Thịnh	Các đồ thị đánh giá về mạch khuếch đại, mạch tạo điện áp tham chiếu, mạch ổn áp
2	Trương Đình Mùi	

6. <i>Họ tên người hướng dẫn:</i>	<i>Phân/ Nội dung:</i>
TS. Nguyễn Khánh Quang	Phiếu kiểm soát tiến độ làm đồ án tốt nghiệp Danh sách các bảng, hình vẽ Danh sách các ký hiệu, chữ viết tắt Chương 1: Tổng quan về mạch chuyển đổi điện áp có sụt áp thấp Chương 2: Thiết kế mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS Chương 3: Kết quả thực nghiệm mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS Phần Kết luận và kiến nghị

7. Ngày giao nhiệm vụ đồ án: 16/4/2025

8. Ngày hoàn thành đồ án: 11/6/2025

Đà Nẵng, ngày 24 tháng 6 năm 2025

Trưởng Bộ môn Tự động hóa

Người hướng dẫn

TS. Giáp Quang Huy

PHIẾU KIỂM SOÁT TIẾN ĐỘ LÀM ĐỒ ÁN TỐT NGHIỆP

(Phiếu dành cho người hướng dẫn/sinh viên)

Họ tên sinh viên: Trần Đức Thịnh

Số thẻ SV : 105210337

Họ tên sinh viên: Trương Đình Mùi

Số thẻ SV : 105210388

Tên đề tài ĐATN: Thiết kế mạch chuyển đổi điện áp có sụt áp thấp sử dụng công nghệ CMOS

Họ tên người HD: TS.Nguyễn Khánh Quang

Đơn vị: Khoa Điện

Tuần	Ngày	Khối lượng		GVHD ký tên
		đã thực hiện (%)	tiếp tục thực hiện (%)	
1	16/4	5%	95%	
2	23/4	15%	85%	
3	28/4	25%	75%	
4	7/5	Duyệt lần 1: Đánh giá khối lượng hoàn thành 25 % : Được tiếp tục làm ĐATN <input type="checkbox"/> Không tiếp tục thực hiện ĐATN <input type="checkbox"/>		
5	14/5	35%	65%	
6	21/5	50%	50%	
7	28/5	75%	25%	
8	4/6	Duyệt lần 2: Đánh giá khối lượng hoàn thành 75 % : Được tiếp tục làm ĐATN <input type="checkbox"/> Không tiếp tục thực hiện ĐATN <input type="checkbox"/>		
9	11/6	100%	0%	
10				
11				
12		Duyệt lần 3: Đánh giá khối lượng hoàn thành _____ % : Được tiếp tục làm ĐATN <input type="checkbox"/> Không tiếp tục thực hiện ĐATN <input type="checkbox"/>		

LỜI NÓI ĐẦU VÀ CẢM ƠN

Trước tiên, nhóm em xin bày tỏ lòng biết ơn sâu sắc đến Ban Giám hiệu Trường Đại học Bách Khoa – Đại học Đà Nẵng, cùng toàn thể quý Thầy Cô đã tận tình giảng dạy, tạo điều kiện thuận lợi cho nhóm em trong suốt quá trình học tập và nghiên cứu tại trường. Đặc biệt, nhóm em xin gửi lời cảm ơn chân thành đến lãnh đạo Khoa Điện đã cho phép và tạo điều kiện để em được thực hiện đề án tốt nghiệp này, một cơ hội quý giá để nhóm em vận dụng những kiến thức đã học vào thực tiễn.

Trong suốt quá trình thực hiện đề án, nhóm em đã nhận được sự giúp đỡ nhiệt tình và những lời hướng dẫn quý báu từ Thầy Nguyễn Khánh Quang, người trực tiếp hướng dẫn nhóm em trong quá trình nghiên cứu và hoàn thiện đề tài. Sự tận tụy, chu đáo và kiến thức chuyên môn sâu rộng của Thầy là nguồn động lực lớn giúp em vượt qua những khó khăn, bế ngõ ban đầu để từng bước hoàn thiện đề án.

Tuy đã nỗ lực hết mình, song với hạn chế về kiến thức và kinh nghiệm, bản báo cáo khó tránh khỏi những thiếu sót. Nhóm em rất mong nhận được sự góp ý, chỉ dẫn của quý Thầy Cô để nhóm em có thể tiếp tục hoàn thiện và nâng cao năng lực chuyên môn trong tương lai.

Một lần nữa, nhóm em xin chân thành cảm ơn Thầy Nguyễn Khánh Quang, cùng quý Thầy Cô Trường Đại học Bách Khoa – Đại học Đà Nẵng đã đồng hành, hỗ trợ và tạo điều kiện cho em trong suốt quá trình học tập và thực hiện đề án này.

Chúng em xin trân trọng cảm ơn

LỜI CAM ĐOAN LIÊM CHÍNH HỌC THUẬT

Nhóm em xin khẳng định rằng toàn bộ nội dung trong đề án tốt nghiệp này là kết quả từ quá trình nghiên cứu nghiêm túc và nỗ lực của chính nhóm em, dưới sự hướng dẫn tận tình của thầy Nguyễn Khánh Quang.

Tất cả số liệu, kết quả và nội dung nghiên cứu được trình bày trong đề án đều phản ánh trung thực, khách quan và được xử lý theo phương pháp khoa học. Nhóm em hoàn toàn chịu trách nhiệm trước Nhà trường về tính chính xác và xuất xứ của các thông tin được sử dụng.

Nhóm em cũng xin cam kết không có hành vi sao chép, gian lận hay vi phạm bản quyền trong suốt quá trình thực hiện và hoàn thiện đề án. Những hình ảnh và tài liệu tham khảo dùng trong báo cáo nhằm minh họa và phân tích đều đã được trích dẫn rõ ràng và đầy đủ. Nếu có bất kỳ sai phạm nào được phát hiện, nhóm em xin chịu hoàn toàn trách nhiệm và chấp hành các hình thức xử lý theo quy định.

Nhóm sinh viên thực hiện

Trần Đức Thịnh

Trương Đình Mùi

MỤC LỤC

TÓM TẮT.....	ii
NHIỆM VỤ ĐỒ ÁN TỐT NGHIỆP	ii
PHIẾU KIỂM SOÁT TIẾN ĐỘ LÀM ĐỒ ÁN TỐT NGHIỆP.....	iv
LỜI NÓI ĐẦU VÀ CẢM ƠN	v
LỜI CAM ĐOAN LIÊM CHÍNH HỌC THUẬT	vi
MỤC LỤC	viii
DANH MỤC HÌNH ẢNH.....	xi
DANH MỤC BẢNG BIỂU.....	xiii
DANH SÁCH CÁC KÝ HIỆU, CHỮ VIẾT TẮT.....	xiv
MỞ ĐẦU	1
1. Lý do chọn đề tài	1
2. Đối tượng nghiên cứu	1
3. Phương pháp và mục tiêu nghiên cứu.....	3
CHƯƠNG 1: TỔNG QUAN VỀ MẠCH CHUYỂN ĐỔI ĐIỆN ÁP CÓ SỤT ÁP THẤP	5
1.1. Khái niệm.....	5
1.1.1. Mạch khuếch đại thuật toán.....	5
1.1.3. Mạch gương dòng.....	6
1.1.4. Ứng dụng của hồi tiếp âm trong mạch gương dòng	7
1.2. Tổng quan cấu trúc mạch chuyển đổi điện áp có sụt áp thấp	8
1.2.1. Mạch khuếch đại.....	10
1.2.2. Mạch tạo điện áp tham chiếu.....	11
1.3. Các tham số đánh giá.....	14
1.3.1. Công suất tiêu thụ.....	14
1.3.2. Hệ số khuếch đại một chiều.....	14
1.3.3. Băng thông khuếch đại	14

1.3.4. Tốc độ chuyển mạch tín hiệu.....	15
1.3.5. Dải điện áp chế độ chung đầu vào/đầu ra (ICMR/OCMR).....	16
1.3.6. Điện áp rơi (Dropout voltage)	17
1.3.7. Dòng điện tĩnh (Quiescent current)	17
1.3.9. Hiệu suất dòng điện (Current efficiency).....	18
1.4. Độ ổn định của hệ thống hồi tiếp.....	18
1.4.1. Độ ổn định của vòng hồi tiếp âm.....	18
1.4.2. Sự dao động và độ ổn định của hệ thống.....	19
1.5. Bù tần số (Frequency compensation).....	21
1.6. Bù Miller.....	23
1.7. Tổng kết chương 1	24
CHƯƠNG 2: TÍNH TOÁN GIÁ TRỊ LINH KIỆN CỦA MẠCH ĐIỆN CHUYỂN	
ĐỔI ÁP CÓ SỤT ÁP THẤP	26
2.1. Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp.....	26
2.2. Thiết kế sơ đồ nguyên lý mạch khuếch đại	27
2.2.1. Mô hình tín hiệu nhỏ của mạch khuếch đại hai tầng.....	27
2.2.2. Xác định độ khuếch đại toàn mạch.....	29
2.2.3. Xác định Bandwidth (GBW).....	29
2.2.4. Thiết kế mạch đảm bảo $PM \geq 60^\circ$	29
2.2.5. Thiết kế tốc độ chuyển mạch SR.....	31
2.2.7. Thiết kế cho ICMR(+) 2.2.8. Thiết kế ICMR(-).....	32
2.2.9. Thiết kế cho $M7$	33
2.2.10. Thiết kế cho $M5$	33
2.2.11. Xác định dải động của tín hiệu đầu ra	33
2.2.12. Xác định công suất tiêu thụ của mạch	34
2.2.13. Tổng hợp tham số thiết kế mạch khuếch đại	34
2.3. Thiết kế sơ đồ nguyên lý mạch tạo điện áp tham chiếu.....	34
2.3.1. Mạch lõi tạo điện áp tham chiếu.....	34
2.3.2. Mạch Op-amp.....	37

2.3.3. Mạch startup	37
2.4. Thiết kế mạch chuyển đổi điện áp có sụt áp thấp	39
2.4.1. Thiết kế cho transistor công suất.....	40
2.4.2. Tính toán điện trở hồi tiếp RF1 và RF2.....	41
2.5 Tổng kết chương 2	41
CHƯƠNG 3: KẾT QUẢ THỰC NGHIỆM MẠCH CHUYỂN ĐỔI ĐIỆN ÁP CÓ SỤT ÁP THẤP	43
3.1 Giới thiệu chung	43
3.2 Kết quả thực nghiệm của mạch khuếch đại	43
3.3 Kết quả thực nghiệm của mạch tạo điện áp tham chiếu	45
3.4 Kết quả thực nghiệm cho transistor công suất.....	46
3.5 Kết quả thực nghiệm của mạch chuyển đổi điện áp có sụt áp thấp	47
3.6 So sánh kết quả	48
PHẦN KẾT LUẬN VÀ KIẾN NGHỊ	50
1. KẾT LUẬN.....	50
2. KIẾN NGHỊ.....	50
TÀI LIỆU THAM KHẢO.....

DANH MỤC HÌNH ẢNH

Hình 1.1 Bộ khuếch đại thuật toán	5
Hình 1.2 Cấu trúc cơ bản mạch gương dòng	6
Hình 1.3 Ứng dụng của mạch gương dòng trong vi mạch tương tự	7
Hình 1.4 Ứng dụng của hồi tiếp âm trong mạch gương dòng	7
Hình 1.5 Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp	8
Hình 1.6 Sơ đồ nguyên lý mạch khuếch đại	10
Hình 1.7 Biểu đồ CTAT	12
Hình 1.8 Biểu đồ PTAT	12
Hình 1.9 Kết hợp hai biểu đồ PTAT và CTAT	13
Hình 1.10 Sơ đồ nguyên lý mạch tạo điện áp tham chiếu	13
Hình 1.11 Phản ứng của opamp tuyến tính đối với đáp ứng bước	15
Hình 1.12 Slewing trong một mạch op-amp	16
Hình 1.13 Cấu trúc chung của bộ khuếch đại vi sai	16
Hình 1.14 Mối quan hệ giữa điện áp đầu vào và điện áp đầu ra của một bộ điều chỉnh điện áp tuyến tính	17
Hình 1.15 Dòng điện tĩnh trong mạch chuyển đổi điện áp có sụt áp thấp	17
Hình 1.16 Sơ đồ khối mạch hồi tiếp âm với hệ số phản hồi K	18
Hình 1.17 Đáp ứng tần số của hệ thống	19
Hình 1.18 Điều kiện ổn định của hệ thống	20
Hình 1.19 Đáp ứng của hệ thống bậc hai với các biên pha khác nhau	21
Hình 1.20 Đáp ứng tần số trước và sau khi bù	22
Hình 1.21 Thuyết Miller	23
Hình 1.22 Bù tần số sử dụng tụ Miller	24
Hình 2.1 Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp	26
Hình 2.2 Sơ đồ nguyên lý mạch khuếch đại	27
Hình 2.3 Mô hình tín hiệu nhỏ mạch khuếch đại trước khi sử dụng tụ bù Miller	27
Hình 2.4 Đáp ứng tần số mạch khuếch đại trước và sau khi bù tần số	30

Hình 2.5 Mạch tham chiếu BiCMOS với nguồn cung cấp 2V và bộ chia điện trở R ...	35
Hình 2.6 Tìm giá trị V_{BE} , ΔV_{BE} và vi phân của chúng	36
Hình 2.7 Kết quả mô phỏng cho các giá trị V_{BE} , ΔV_{BE} và vi phân của chúng	36
Hình 2.8 Hai điểm hoạt động trong cấu trúc mạch Bandgap	38
Hình 2.9 Sơ đồ nguyên lý mạch chuyển đổi điện áp có sụt áp thấp trên phần mềm Cadence	39
Hình 2.10 Thiết kế sơ đồ nguyên lý mạch chuyển đổi điện áp có sụt áp thấp rơi thấp trên phần mềm Cadence.....	40
Hình 2.11 Điện trở hồi tiếp trong mạch chuyển đổi điện áp có sụt áp thấp	41
Hình 3.1 Phase Margin của mạch khuếch đại	44
Hình 3.2 Kết quả mô phỏng về độ ổn định của mạch khuếch đại.....	44
Hình 3.3 Bandwidth của mạch khuếch đại	44
Hình 3.4 Kết quả mô phỏng mạch tạo điện áp tham chiếu	45
Hình 3.5 Xác định kích thước cho transistor công suất	46
Hình 3.6 Mô phỏng điện áp rơi theo chiều tăng độ rộng của transistor công suất.....	46
Hình 3.7 Kết quả mô phỏng cho dải điện áp đầu vào của mạch chuyển đổi điện áp có sụt áp thấp.....	47
Hình 3.8 Kết quả mô phỏng mạch chuyển đổi điện áp có sụt áp thấp cho các thông số kỹ thuật	47

DANH MỤC BẢNG BIỂU

Bảng 2.1 Giá trị của các tham số mạch khuếch đại sau khi tính toán	34
Bảng 2.2 Giá trị các tham số M_0, M_1, M_2, M_3, M_5 của mạch điện áp tham chiếu	37
Bảng 2.3 Giá trị của các tham số mạch tạo điện áp tham chiếu	38
Bảng 2.4 Yêu cầu thiết kế mạch chuyển đổi điện áp có sụt áp thấp	39
Bảng 3.1 Bảng tổng hợp kết quả mô phỏng mạch khuếch đại trên phần mềm Cadence	43
Bảng 3.2 So sánh chất lượng của mạch LDO đề xuất với mạch LDO nghiên cứu trước	48

DANH SÁCH CÁC KÝ HIỆU, CHỮ VIẾT TẮT

STT	Ký hiệu	Tên đầy đủ	Ý nghĩa
1	BGR	Bangap Reference	Mạch tạo điện áp tham chiếu
2	CMOS	Complementary Metal Oxide Semiconductor	MOSFET tích hợp
3	CTAT	Complementary to Absolute Temperature	Tỷ lệ nghịch với nhiệt độ tuyệt đối
4	EA	Error Amp	Mạch khuếch đại
5	GBW	Gain Bandwidth	Băng thông khuếch đại
6	ICMR	Input Common Mode Range	Dải điện áp chế độ chung đầu vào
7	LDO	Low-Dropout Regulator	Mạch chuyển đổi điện áp có sụt áp thấp
8	OCMR	Output Common Mode Range	Dải điện áp chế độ chung đầu ra
9	PTAT	Proportional to Absolute Temperature	Tỷ lệ thuận với nhiệt độ tuyệt đối

MỞ ĐẦU

1. Lý do chọn đề tài

Ngày nay cùng với sự phát triển của công nghệ bán dẫn và chế tạo chip thì các mạch tích hợp quản lý nguồn cũng trở nên hấp dẫn với các ứng dụng cho các thiết bị điện di động công suất thấp như điện thoại di động, Internet vạn vật (IoT), mạng cảm biến không dây (Wireless sensor network) và các thiết bị cấy dưới da trong y sinh. Trong đó, mạch chuyển đổi điện áp có sụt áp thấp (Low-dropout regulator) đóng một vai trò quan trọng để cung cấp điện áp nguồn chính xác và sạch cho các thiết bị điện di động.

Những năm gần đây, thiết kế mạch chuyển đổi điện áp có sụt áp thấp (LDO: low-dropout regulator) đã trở nên nhiều thách thức hơn do nhu cầu tăng của các LDO chất lượng cao phục vụ cho các thiết bị di động. Nhiều phương thức để cải tiến kiến trúc của mạch LDO truyền thống đã được đề xuất. Các nghiên cứu về LDO tập trung vào cải thiện tỷ số loại bỏ tạp âm nguồn cung cấp cực đại dòng đầu ra để cung cấp một khoảng rộng của tải, cực tiểu dòng tiêu thụ tĩnh để tiết kiệm công suất. Ngoài ra, các mạch LDO cũng được nghiên cứu và ứng dụng trong công nghệ mới về cảm biến nhiệt độ. Tuy nhiên, hầu hết các mạch tích hợp LDO này chỉ làm việc hiệu quả với một giá trị điện áp đầu vào xác định (thường từ 2-5V). Khi điện áp đầu vào lớn hơn 5V, các LDO với dải điện áp đầu vào điển hình sẽ bị phá hủy. Điều này sẽ hạn chế phạm vi ứng dụng của mạch LDO vì như trong các ứng dụng thu thập năng lượng, nguồn năng lượng để thu thập là khác nhau (ánh sáng, nhiệt, độ rung, vô tuyến) nên điện áp đầu vào mạch LDO cũng sẽ khác nhau.

Bộ điều chỉnh điện áp có sụt áp thấp phù hợp cho nhiều ứng dụng mạch, cụ thể là ô tô, thiết bị di động, công nghiệp và y tế. Nhu cầu ngày càng tăng một cách rõ ràng trong các sản phẩm di động chạy bằng pin, chẳng hạn như điện thoại di động, máy nhắn tin, máy quay video và máy tính xách tay. Thị trường điện tử di động này đòi hỏi điện áp thấp và dòng điện tĩnh thấp để tăng hiệu quả và tuổi thọ pin. Việc thiết kế một mạch chuyển đổi điện áp có sụt áp thấp với dải đầu vào rộng là rất cần thiết và rất thiết thực đối với những ứng dụng thực tiễn hiện nay.

2. Đối tượng nghiên cứu

Trong khuôn khổ đề án tốt nghiệp này, đối tượng nghiên cứu chính được xác định là việc thiết kế và phát triển một mạch chuyển đổi điện áp có sụt áp thấp (Low Dropout Regulator - LDO) tích hợp. Thiết kế này được triển khai trên nền tảng công nghệ CMOS

90nm, với mục tiêu tổng thể là đạt được hiệu suất vượt trội về độ ổn định, độ chính xác của điện áp đầu ra, khả năng đáp ứng nhanh chóng với các biến động của tải, và đặc biệt là tối ưu hóa mức dòng điện tĩnh (quiescent current) tiêu thụ.

Để đạt được mục tiêu tổng quát đó, nghiên cứu đi sâu vào phân tích và thiết kế từng khối chức năng cấu thành một mạch LDO hoàn chỉnh. Trước hết, đồ án sẽ trình bày chi tiết về cấu trúc cơ bản và nguyên lý vận hành của LDO, bao gồm các thành phần thiết yếu như mạch tham chiếu Bandgap (BGR), bộ khuếch đại (Error Amplifier - EA), transistor công suất (Pass Transistor), và mạng hồi tiếp điện trở. Việc tìm hiểu sâu sắc về cách các khối này tương tác trong một vòng điều khiển hồi tiếp âm là nền tảng để hiểu và tối ưu hóa hiệu suất toàn hệ thống.

Tiếp theo, một trong những trọng tâm chính của đồ án là việc thiết kế và tối ưu hóa Bộ Khuếch Đại (EA). Khối này đóng vai trò quyết định đến độ chính xác và tính ổn định của LDO. Nghiên cứu tập trung vào cấu trúc EA hai tầng kết hợp kỹ thuật bù Miller, nhằm đảm bảo các thông số kỹ thuật nghiêm ngặt. Cụ thể, EA cần đạt được độ lợi DC cao ($>35\text{dB}$), băng thông khuếch đại (GBW) $\geq 4\text{MHz}$, tốc độ chuyển mạch tín hiệu (SR) $\geq 3\text{V}/\mu\text{s}$, cùng với dải điện áp chế độ chung đầu vào (ICMR) từ $0,85\text{V}$ đến $1,9\text{V}$ và dải điện áp chế độ chung đầu ra (OCMR) từ $0,3\text{V}$ đến $1,9\text{V}$. Đặc biệt, để đảm bảo độ ổn định mạnh mẽ, biên độ pha (PM) của EA phải đạt tối thiểu 60° . Quá trình này đòi hỏi sự tối ưu hóa kỹ lưỡng kích thước của từng transistor (từ M0 đến M7) và các điểm phân cực để đạt được các thông số trên đồng thời giảm thiểu công suất tiêu thụ.

Ngoài ra, việc thiết kế một Mạch Tham chiếu Bandgap (BGR) hiệu quả cũng là một đối tượng nghiên cứu quan trọng. BGR có nhiệm vụ tạo ra một điện áp tham chiếu ổn định $1,18\text{V}$, ít bị ảnh hưởng bởi biến động nhiệt độ và nguồn cung cấp. Đồ án sẽ xem xét các cấu trúc BGR phù hợp và thiết kế mạch khởi động (startup circuit) để đảm bảo hoạt động đáng tin cậy của khối này ngay từ đầu.

Song song với việc thiết kế từng khối, một mục tiêu xuyên suốt đồ án là tối ưu hóa tổng thể mức tiêu thụ năng lượng. Điều này được thực hiện thông qua việc thiết kế các khối với dòng phân cực thấp và lựa chọn giá trị điện trở phản hồi lớn để giảm dòng tiêu thụ qua mạch hồi tiếp ($I_{\text{FB}}=3\mu\text{A}$). Mục tiêu công suất tiêu thụ của EA cũng được giới hạn dưới $200\mu\text{W}$.

Cuối cùng, tất cả các thiết kế lý thuyết và tính toán sẽ được kiểm chứng một cách chặt chẽ thông qua mô phỏng mạch trên các công cụ chuyên nghiệp như Cadence Virtuoso. Các loại mô phỏng DC, AC sẽ được thực hiện để đánh giá độ chính xác của V_{OUT} , V_{drop} , I_{Q} , đáp ứng quá độ, và đặc biệt là các thông số ổn định như PM và GBW trong các điều kiện hoạt động đa dạng (nhiệt độ, điện áp cung cấp, tải). Qua đó, đồ án

hy vọng cung cấp một giải pháp LDO tích hợp hiệu quả, đáp ứng các yêu cầu ngày càng cao của các ứng dụng điện tử đòi hỏi nguồn cấp ổn định và tiết kiệm năng lượng.

3. Phương pháp và mục tiêu nghiên cứu

Trong khuôn khổ đề án tốt nghiệp này, phương pháp nghiên cứu được xây dựng một cách chặt chẽ, kết hợp hài hòa giữa nền tảng lý thuyết vững chắc và kiểm chứng thực nghiệm thông qua mô phỏng thực nghiệm, nhằm đạt được các mục tiêu thiết kế đã đề ra. Quá trình nghiên cứu được tiến hành theo một chu trình lặp lại, bao gồm các giai đoạn chính yếu. Ban đầu, đề án tốt nghiệp tập trung vào việc nghiên cứu lý thuyết và tổng quan sâu rộng về bộ điều chỉnh điện áp có sụt áp thấp (LDO), bao gồm nguyên lý hoạt động, các cấu trúc phổ biến, và đặc biệt là các kỹ thuật bù tần số như bù Miller, vốn đóng vai trò then chốt trong việc đảm bảo tính ổn định của mạch. Song song đó, các tiêu chuẩn thiết kế và phương pháp tối ưu hóa công suất trong công nghệ CMOS cũng được khảo sát kỹ lưỡng để cung cấp nền tảng kiến thức vững chắc cho giai đoạn thiết kế.

Tiếp theo, dựa trên các yêu cầu kỹ thuật cụ thể của đề tài, giai đoạn phân tích và tính toán thiết kế được thực hiện một cách tỉ mỉ ở cấp độ transistor. Điều này bao gồm việc xác định kích thước (W/L) của từng transistor cấu thành LDO. Việc lựa chọn dòng phân cực phù hợp và tính toán giá trị tụ bù C_C cùng các thành phần bù khác được thực hiện dựa trên các công thức lý thuyết đã biết, nhằm đảm bảo các yêu cầu về độ lợi, băng thông, tốc độ và đặc biệt là độ ổn định của mạch.

Sau giai đoạn tính toán, mô phỏng thiết kế trở thành bước kiểm chứng thực nghiệm quan trọng. Mạch LDO sẽ được xây dựng dưới dạng schematic và mô phỏng chi tiết bằng các phần mềm chuyên nghiệp như Cadence Virtuoso. Các loại mô phỏng đa dạng sẽ được tiến hành, bao gồm mô phỏng DC để kiểm tra điểm phân cực và dòng tiêu thụ tĩnh (I_Q), mô phỏng AC để phân tích đáp ứng tần số, xác định độ lợi vòng hở, GBW, và các thông số ổn định như Biên độ pha (PM) và Biên độ lợi (GM). Hơn nữa, để đảm bảo tính tin cậy của thiết kế trong các điều kiện vận hành thực tế, mô phỏng theo nhiệt độ và biến thiên công nghệ (PVT) cũng sẽ được thực hiện.

Cuối cùng, dựa trên kết quả từ các mô phỏng, giai đoạn đánh giá và tối ưu hóa sẽ được tiến hành. Mọi kết quả sẽ được phân tích kỹ lưỡng để xác định liệu các mục tiêu thiết kế đã đạt được hay chưa. Trong trường hợp có bất kỳ thông số nào chưa đáp ứng yêu cầu, quá trình điều chỉnh các tham số thiết kế như kích thước transistor, dòng phân cực, hay giá trị tụ điện/điện trở sẽ được thực hiện lặp lại cho đến khi đạt được hiệu suất tối ưu và tất cả các tiêu chí đề ra được thỏa mãn.

Thông qua phương pháp nghiên cứu chặt chẽ này, đề án hướng tới mục tiêu tổng quát là thiết kế thành công và kiểm chứng hiệu suất của một bộ điều chỉnh điện áp có sụt áp thấp (LDO). Thiết kế này không chỉ phải có khả năng tiêu thụ dòng điện tĩnh cực thấp mà còn phải thể hiện độ ổn định cao khi hoạt động trong công nghệ CMOS 90nm.

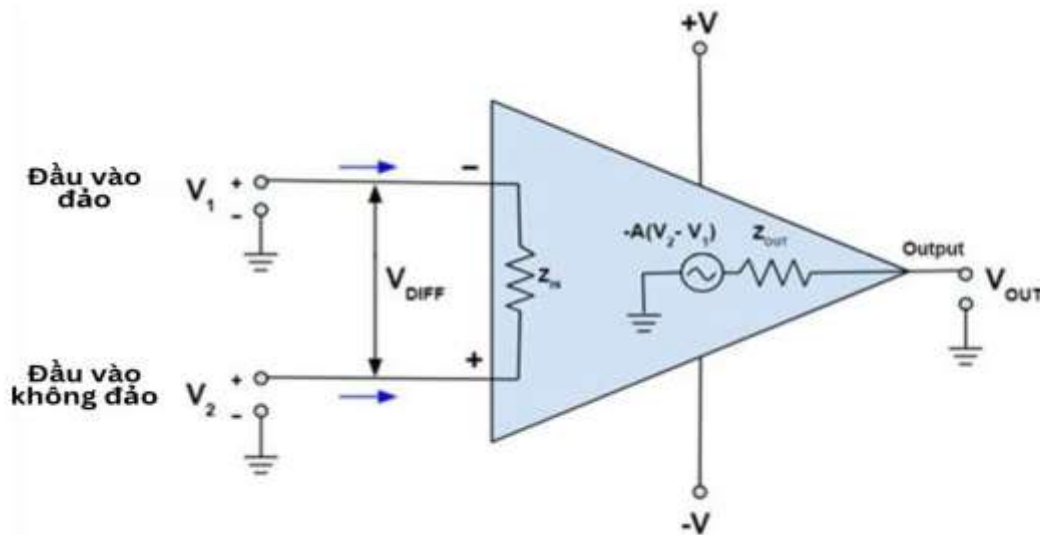
Cụ thể hóa mục tiêu tổng quát, các mục tiêu chi tiết sau đây là trọng tâm của nghiên cứu. Thứ nhất, LDO phải cung cấp điện áp đầu ra chính xác $V_{OUT}=1,7V$ từ nguồn $V_{IN}=2V$, với sai số điện áp không quá 1,5%. Thứ hai, để đảm bảo độ ổn định mạnh mẽ, bộ khuếch đại (EA) cần đạt Biên độ pha (PM) lớn hơn hoặc bằng 60 độ và Biên độ lợi (GM) đủ lớn. Thứ ba, về mặt hiệu suất động, băng thông khuếch đại (GBW) của EA phải đạt tối thiểu 4MHz, và tốc độ chuyển mạch tín hiệu (SR) phải đạt tối thiểu $3V/\mu s$, cho phép LDO phản ứng nhanh chóng với các thay đổi dòng tải lên đến 10mA và biến động điện áp đầu vào. Thứ tư, một mục tiêu quan trọng là tối thiểu hóa dòng điện tĩnh (I_Q) tổng thể, với các yêu cầu cụ thể như dòng qua mạch phản hồi (I_{FB}) là $3\mu A$ và công suất tiêu thụ của riêng khối EA (P_{EA}) nhỏ hơn $200\mu W$. Cuối cùng, EA cần được thiết kế để có dải điện áp chế độ chung đầu vào (ICMR) từ 0,85V đến 1,9V và dải điện áp chế độ chung đầu ra (OCMR) từ 0,3V đến 1,9V, đảm bảo hoạt động đáng tin cậy trên một phạm vi tín hiệu rộng. Toàn bộ quá trình thiết kế và kiểm chứng sẽ được thực hiện trên môi trường thiết kế gpd90, nhằm đánh giá tính khả thi và hiệu suất của giải pháp trong một công nghệ bán dẫn thực tế.

CHƯƠNG 1: TỔNG QUAN VỀ MẠCH CHUYỂN ĐỔI ĐIỆN ÁP CÓ SỤT ÁP THẤP

1.1. Khái niệm

1.1.1. Mạch khuếch đại thuật toán

Bộ khuếch đại thuật toán (opamp) là một mạch analog có chức năng nhận đầu vào điện áp chênh lệch và tạo ra đầu ra điện áp đơn. Opamp thường có ba chân: hai chân đầu vào có điện trở cao và một chân đầu ra có điện trở thấp. Chân đầu vào đảo (-) được ký hiệu bằng dấu trừ, và chân đầu vào không đảo (+) được ký hiệu bằng dấu cộng. Bộ khuếch đại thuật toán có nhiệm vụ khuếch đại điện áp chênh lệch giữa các đầu vào, điều này rất hữu ích cho nhiều chức năng analog khác nhau, bao gồm xử lý chuỗi tín hiệu, nguồn điện và ứng dụng điều khiển. Thông qua Hình 1.1 chúng ta sẽ thấy rõ hơn sơ đồ của bộ khuếch đại thuật toán.



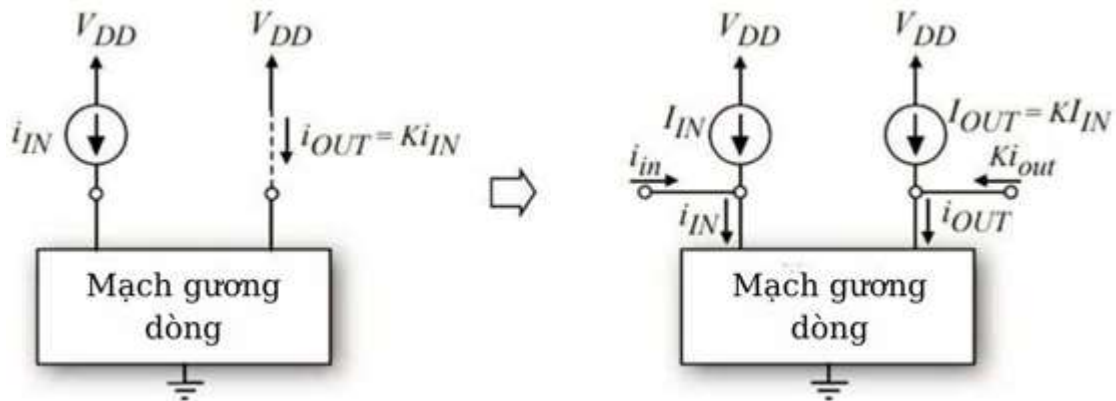
Hình 1.1 Bộ khuếch đại thuật toán

Độ khuếch đại mạch hở (A trong Hình 1.1) của một bộ khuếch đại thuật toán là thước đo mức độ khuếch đại đạt được khi không có phản hồi trong mạch, tức là đường phản hồi là mạch hở. Độ khuếch đại mạch hở thường phải rất lớn mới có thể hữu ích, ngoại trừ các bộ so sánh điện áp. Bộ so sánh điện áp so sánh điện áp của các chân đầu vào, ngay cả khi có điện áp chênh lệch nhỏ, bộ so sánh điện áp có thể đẩy đầu ra tới mức điện áp nguồn hoặc đất. Giá trị A cao rất có ích trong các cấu trúc mạch hồi tiếp âm, giúp giảm sự phụ thuộc vào các sự thay đổi của các thông số nhiệt độ, điện áp, và process.

Một đặc điểm quan trọng khác của opamp là chúng thường có điện trở vào cao (Z_{IN} trong Hình 1.1). Điện trở vào được đo giữa các chân đầu vào âm và dương, và giá trị lý tưởng của nó là vô cùng, giúp giảm thiểu tải cho tầng trước đó. Cấu trúc mạch mắc xung quanh opamp có thể thay đổi đáng kể điện trở vào hiệu dụng của nguồn. Đồng thời, một bộ khuếch đại thuật toán lý tưởng có điện trở ra bằng không (Z_{OUT} trong Hình 1.1). Tuy nhiên, điện trở ra thực tế thường có giá trị nhỏ, điều này quyết định lượng dòng điện mà nó có thể cung cấp cho tầng kế tiếp và khả năng hoạt động như một bộ đệm điện áp.

1.1.3. Mạch gương dòng

Mạch gương dòng được dùng để sao chép dòng điện đầu vào của “current sink” (điểm thoát dòng) hoặc “current source” (nguồn dòng) thành dòng điện đầu ra. Dòng điện đầu ra có thể giống hệt dòng điện đầu vào hoặc có thể có giá trị bằng một tỉ lệ nào đó với dòng điện đầu vào.



Hình 1.2 Cấu trúc cơ bản mạch gương dòng

Các gương dòng điện ở trên được tham chiếu so với đất. Gương dòng điện cũng có thể được tham chiếu so với VDD và có thể tạo ra và nhận dòng điện vào và ra.

Mạch gương dòng được thiết kế để sao chép dòng điện đầu vào sang dòng điện đầu ra với một hệ số tỉ lệ k . Hệ số k này lý tưởng là một hằng số, tuy nhiên, trong thực tế, nó chịu ảnh hưởng đáng kể bởi các biến thiên của các tham số PVT (Process, Voltage, Temperature). Trong đó:

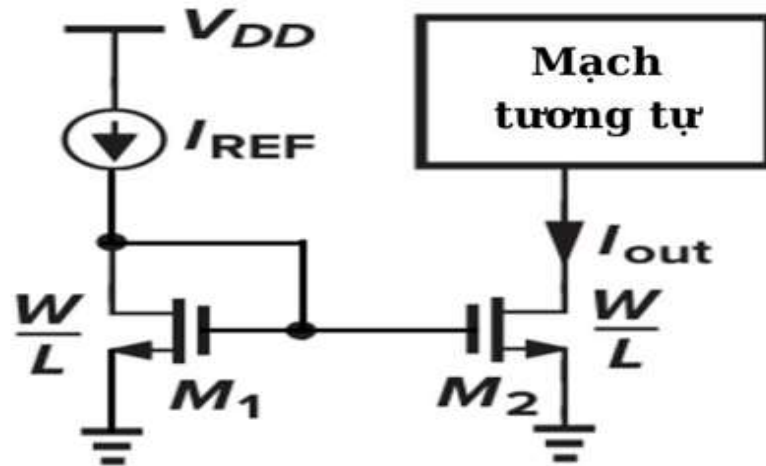
Process (Quá trình sản xuất): Sự biến động trong quá trình sản xuất linh kiện bán dẫn dẫn đến sự sai lệch về kích thước và đặc tính của transistor, từ đó ảnh hưởng đến điện áp ngưỡng.

Voltage (Điện áp nguồn): Sự thay đổi điện áp nguồn cung cấp trực tiếp tác động đến dòng điện chạy qua transistor.

Temperature (Nhiệt độ): Nhiệt độ môi trường ảnh hưởng đến độ linh động của điện tử và lỗ trống trong chất bán dẫn, dẫn đến sự thay đổi của dòng điện và điện áp ngưỡng.

Sự biến thiên của các tham số PVT gây ra sự thay đổi trong các thông số của transistor, dẫn đến sự mất ổn định của hệ số k. Do đó, trong thiết kế mạch gương dòng, mục tiêu là giảm thiểu sự phụ thuộc của hệ số k vào các tham số PVT, nhằm đảm bảo tính chính xác và ổn định của dòng điện sao chép.

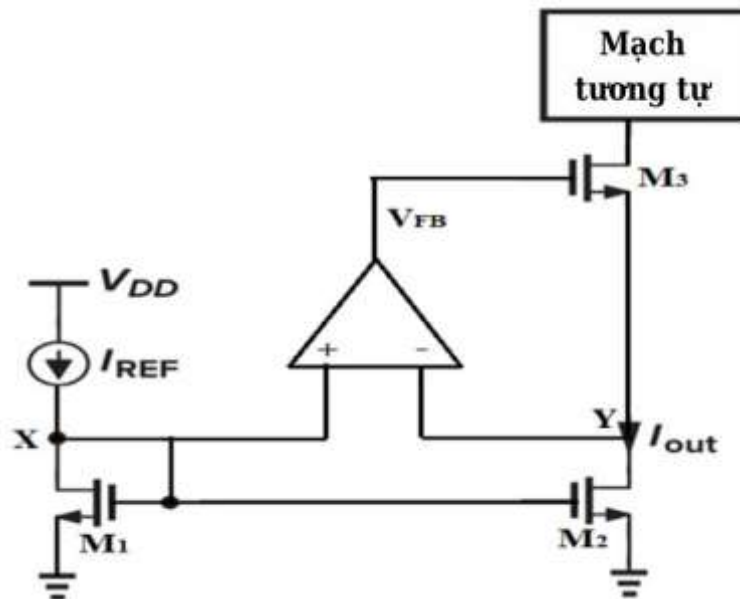
Mạch gương dòng trong các vi mạch tương tự nhìn chung có sơ đồ tổng quát như Hình 1.3.



Hình 1.3 Ứng dụng của mạch gương dòng trong vi mạch tương tự

1.1.4. Ứng dụng của hồi tiếp âm trong mạch gương dòng

Để dòng $I_{out} = I_{REF}$ thì điện áp tại nút X và Y phải bằng nhau, bằng cách mắc cascode với transistor M_1 và M_2 . Tuy nhiên phương pháp này vẫn còn tồn tại nhược điểm và không đạt hiệu quả tối ưu nhất. Bằng cách đó, người ta sử dụng một negative feedback với mục đích làm cho hai điện áp V_X và V_Y bằng nhau cho bởi hình 1.4.



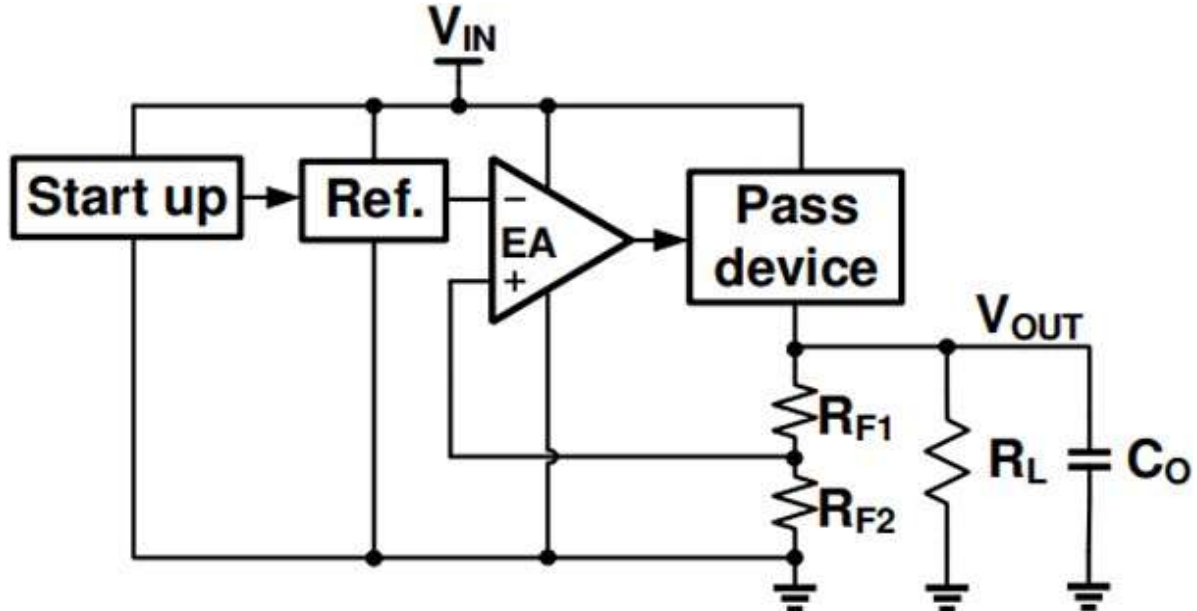
Hình 1.4 Ứng dụng của hồi tiếp âm trong mạch gương dòng

Để đảm bảo dòng điện đầu ra I_{out} bằng dòng điện tham chiếu I_{REF} , một phương pháp thường được sử dụng là mắc cascode với các transistor M_1 và M_2 , nhằm mục đích tạo ra điện áp tương đương tại nút X và Y ($V_X = V_Y$). Tuy nhiên, cấu hình cascode vẫn tồn tại những hạn chế nhất định và chưa mang lại hiệu quả tối ưu trong việc duy trì sự cân bằng điện áp này. Nhằm khắc phục nhược điểm trên và nâng cao độ chính xác trong việc sao chép dòng điện, một giải pháp hiệu quả hơn là sử dụng mạch hồi tiếp âm (negative feedback), như được minh họa trong Hình 1.4. Mục tiêu chính của mạch hồi tiếp âm là duy trì sự cân bằng giữa hai điện áp V_X và V_Y .

Cơ chế hoạt động của mạch hồi tiếp âm có thể được giải thích như sau: Giả sử điện áp V_Y tăng lên. Sự thay đổi này được đưa đến mạch hồi tiếp âm, làm cho điện áp hồi tiếp V_{FB} giảm theo. Điện áp V_{FB} giảm sẽ tác động đến điện áp cổng của transistor M_3 , khiến điện áp này giảm xuống. Kết quả là điện áp nguồn V_{S3} (tương ứng với V_Y) cũng giảm theo. Như vậy, sự gia tăng ban đầu của V_Y sẽ bị mạch hồi tiếp âm điều chỉnh giảm xuống, cho đến khi đạt được trạng thái cân bằng với V_X .

1.2. Tổng quan cấu trúc mạch chuyển đổi điện áp có sụt áp thấp

Dưới đây là hình ảnh cho thấy cấu trúc tổng quan và toàn diện về mạch chuyển đổi điện áp có sụt áp thấp. Mỗi khối có nhiệm vụ, chức năng và vai trò khác nhau. Cụ thể như sau:



Hình 1.5 Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp

Startup (Khởi động): Khối này có chức năng khởi tạo hoạt động của mạch LDO khi điện áp đầu vào được cấp. Nó đảm bảo rằng mạch có thể bắt đầu hoạt động một cách ổn định và đưa điện áp đầu ra về giá trị mong muốn từ trạng thái ban đầu (thường là điện áp bằng không). Khối khởi động thường bao gồm các mạch logic hoặc

các phần tử bán dẫn được thiết kế để cung cấp một dòng điện hoặc điện áp ban đầu để kích hoạt các khối chức năng khác, đặc biệt là khối Ref (Tham chiếu). Sau khi mạch đã hoạt động ổn định, khối khởi động có thể không còn đóng vai trò tích cực nữa.

Ref. (Khởi tham chiếu - Voltage Reference): Khối này tạo ra một điện áp tham chiếu ổn định và chính xác, không bị ảnh hưởng nhiều bởi sự thay đổi của điện áp đầu vào, nhiệt độ và dòng tải. Điện áp tham chiếu này là chuẩn mực để bộ khuếch đại (EA) so sánh và điều chỉnh điện áp đầu ra. Một mạch tham chiếu tốt thường sử dụng các kỹ thuật như mạch bandgap để đạt được độ ổn định cao.

EA (Error Amplifier - Bộ khuếch đại): Đây là một bộ khuếch đại thuật toán (Operational Amplifier - Opamp) được sử dụng để so sánh điện áp phản hồi từ đầu ra với điện áp tham chiếu từ khối Ref. Đầu vào đảo (-) của EA nhận điện áp tham chiếu, trong khi đầu vào không đảo (+) nhận một phần điện áp đầu ra được chia bởi mạng điện trở phản hồi (R_{F1} và R_{F2}). Điện áp đầu ra của EA tỷ lệ với sự khác biệt giữa điện áp phản hồi và điện áp tham chiếu. Tín hiệu này được sử dụng để điều khiển phần tử điều chỉnh (Pass device).

Pass device: Đây thường là một transistor công suất (MOSFET hoặc BJT) được đặt giữa điện áp đầu vào V_{IN} và điện áp đầu ra V_{OUT} . Nó hoạt động như một điện trở biến đổi, điều chỉnh dòng điện chạy qua nó để duy trì điện áp đầu ra ổn định. Độ dẫn điện của Pass device được điều khiển bởi tín hiệu điều khiển từ bộ khuếch đại (EA). Điện áp rơi trên Pass device ($V_{IN} - V_{OUT}$) là đặc trưng của LDO, và để đạt được "điện áp rơi thấp", transistor này cần có điện trở thấp khi hoạt động.

R_{F1} và R_{F2} (Mạng điện trở phản hồi): Hai điện trở này tạo thành một mạch chia điện áp, lấy mẫu một phần điện áp đầu ra (V_{OUT}) và đưa nó trở lại đầu vào đảo (-) của bộ khuếch đại (EA). Tỷ lệ giữa R_{F1} và R_{F2} xác định giá trị của điện áp đầu ra mong muốn. Mối quan hệ giữa điện áp đầu ra và điện áp tham chiếu như sau:

$$V_{out} = V_{FB} \cdot \left(1 + \frac{R_{F1}}{R_{F2}}\right) \quad (1.1)$$

Từ công thức trên ta thấy điện áp đầu ra không phụ thuộc vào điện áp đầu vào. Mạch LDO sẽ điều chỉnh V_{OUT} sao cho V_{FB} bằng với điện áp tham chiếu từ khối Ref.

R_L (Tải): Đây là điện trở đại diện cho tải tiêu thụ điện năng được cấp nguồn bởi mạch LDO. Giá trị của R_L có thể thay đổi, và mạch LDO phải duy trì V_{OUT} ổn định bất chấp những thay đổi này (trong phạm vi khả năng của mạch).

C_O (Tụ điện đầu ra): Tụ điện đầu ra được đặt ở đầu ra của mạch LDO để ổn định điện áp đầu ra, giảm nhiễu và cung cấp dòng điện tức thời cho tải khi có sự thay đổi đột ngột về dòng tải.

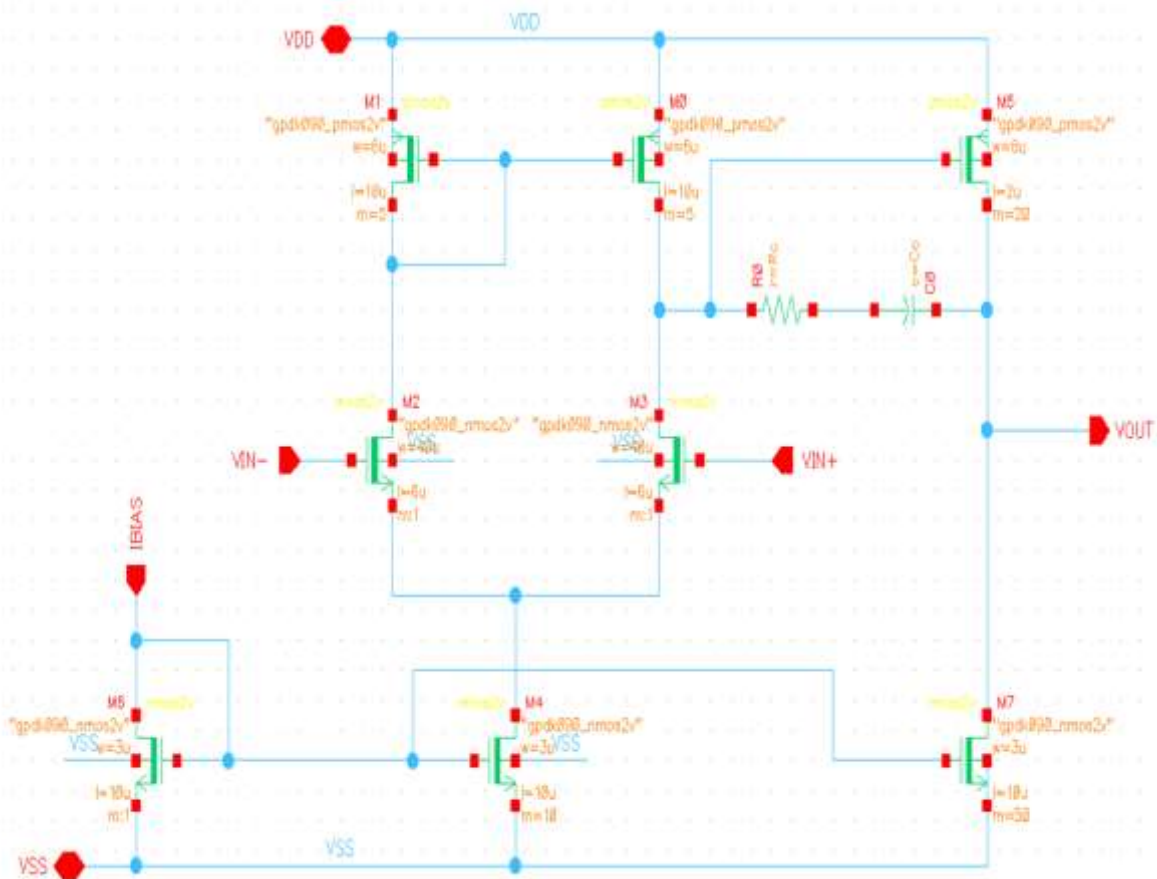
1.2.1. Mạch khuếch đại

Sơ đồ nguyên lý của mạch khuếch đại được trình bày trong Hình 1.6. Mạch khuếch đại được sử dụng trong nghiên cứu này bao gồm hai tầng nhằm khắc phục các hạn chế tồn tại trong cấu trúc mạch khuếch đại đơn tầng cơ bản. Những hạn chế này bao gồm:

Thứ nhất, hạn chế về biên độ tín hiệu ra (output voltage swing): Đối với mạch khuếch đại đơn tầng, việc tăng độ lợi bằng phương pháp xếp chồng các transistor (cascode) có xu hướng làm giảm biên độ tín hiệu hiệu dụng tại ngõ ra.

Thứ hai, suy giảm độ lợi và trở kháng ra khi sử dụng tải trở: Khi mạch khuếch đại đơn tầng sử dụng tải là điện trở thuần, trở kháng ngõ ra (R_{out}) của mạch bị giảm đáng kể. Sự suy giảm này trực tiếp dẫn đến việc giảm tổng độ lợi điện áp của toàn mạch khuếch đại.

Thứ ba, khó khăn trong ứng dụng hồi tiếp âm: Mạch khuếch đại đơn tầng thường gặp khó khăn khi áp dụng kỹ thuật hồi tiếp âm. Việc áp dụng hồi tiếp âm nhờ cấu trúc mạch khuếch đại đơn tầng có thể dẫn đến sự chênh lệch lớn giữa tín hiệu ngõ vào và tín hiệu ngõ ra, ảnh hưởng đến độ ổn định và tuyến tính của mạch.



Hình 1.6 Sơ đồ nguyên lý mạch khuếch đại

Xuất phát từ những hạn chế đã phân tích của mạch khuếch đại đơn tầng truyền thống, chúng em đề xuất phát triển và phân tích một cấu trúc mạch khuếch đại hai tầng nhằm cải thiện hiệu năng tổng thể. Cấu trúc hai tầng này được thiết kế với chức năng cụ thể cho từng tầng như sau:

Tầng thứ nhất: Sử dụng cấu hình khuếch đại vi sai (differential amplifier). Việc lựa chọn cấu trúc vi sai cho tầng đầu tiên nhằm mục đích giảm thiểu ảnh hưởng của nhiễu lên toàn bộ hệ thống mạch và đặc biệt là tăng độ khuếch đại cho toàn bộ mạch

Tầng thứ hai: Được bổ sung vào mạch và sử dụng cấu hình nguồn chung (common-source) đơn giản. Tầng này đóng vai trò chủ yếu trong việc làm tăng đáng kể dải biên độ điện áp ra (output voltage swing) của toàn mạch. Khi kết hợp với tầng khuếch đại vi sai ở phía trước, tầng nguồn chung giúp nâng cao tổng độ khuếch đại điện áp cho toàn bộ hệ thống mạch khuếch đại hai tầng được đề xuất.

Sự kết hợp của hai tầng với cấu trúc và chức năng bổ trợ nhau này sẽ mang lại hiệu năng vượt trội, Kiểm soát tốt hơn các điểm cực (poles) và điểm không (zeros) để ổn định tần số, Dải biến thiên điện áp đầu ra (Output Voltage Swing) rộng hơn, Hệ số khuếch đại (DC Gain) cao hơn đáng kể so với mạch khuếch đại đơn tầng về các tiêu chí độ lợi, dải biên độ tín hiệu ra.

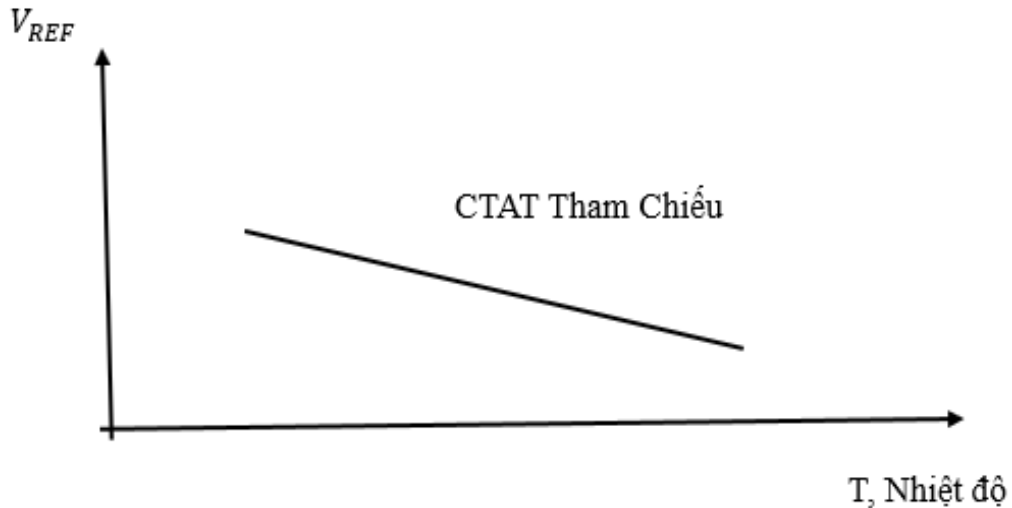
1.2.2. Mạch tạo điện áp tham chiếu

Trong thiết kế các mạch ổn áp và mạch đòi hỏi điện áp chính xác, việc tạo ra một điện áp tham chiếu (V_{REF}) ổn định và ít bị ảnh hưởng bởi sự thay đổi của nhiệt độ là một yêu cầu then chốt. Để đạt được mục tiêu này, một phương pháp phổ biến là kết hợp hai thành phần điện áp có hệ số nhiệt độ trái dấu: điện áp tỷ lệ thuận với nhiệt độ (Proportional To Absolute Temperature - PTAT) và điện áp tỷ lệ nghịch với nhiệt độ (Complementary To Absolute Temperature - CTAT). Việc lựa chọn giá trị các điện trở và kích thước transistor. Đặc biệt, mạch startup để đảm bảo Bandgap luôn khởi động đúng cách và hoạt động ở điểm mong muốn, tránh trạng thái không hoạt động.

Nguyên tắc:

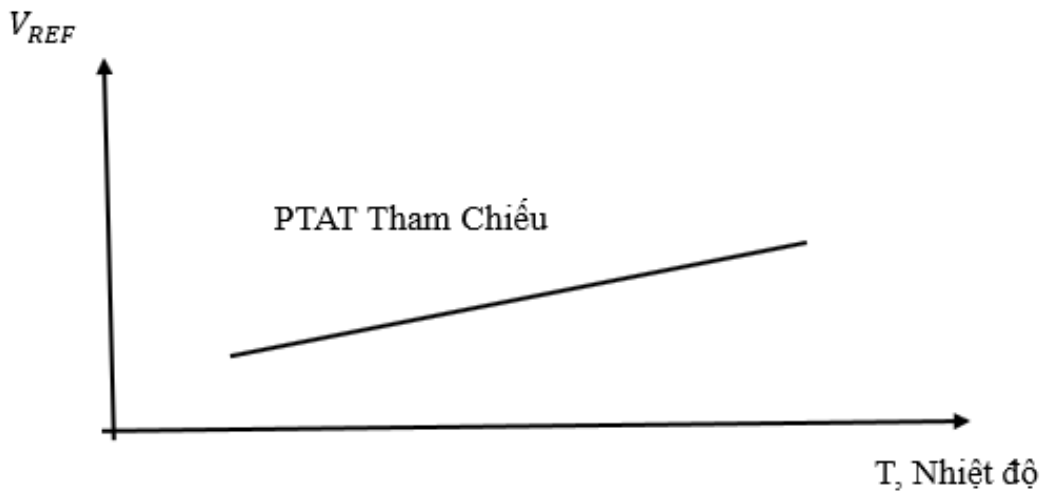
Mục tiêu của việc kết hợp thành phần PTAT và CTAT là để triệt tiêu sự phụ thuộc của điện áp tham chiếu cuối cùng vào nhiệt độ. Điều này được thực hiện bằng cách thiết kế sao cho hệ số tỷ lệ của thành phần PTAT và CTAT có độ lớn tương đương nhưng dấu ngược nhau.

Thành phần CTAT: Ngược lại, thành phần điện áp CTAT có giá trị giảm tuyến tính khi nhiệt độ tăng lên. Điện áp CTAT có hệ số nhiệt độ âm. Hình 1.7 biểu diễn sự biến đổi của điện áp CTAT theo nhiệt độ.



Hình 1.7 Biểu đồ CTAT

Thành phần PTAT: Đây là thành phần điện áp mà giá trị của nó tăng tuyến tính theo sự gia tăng của nhiệt độ. Nói cách khác, điện áp PTAT có hệ số nhiệt độ dương. Hình 1.8 minh họa sự biến đổi của điện áp PTAT theo nhiệt độ.



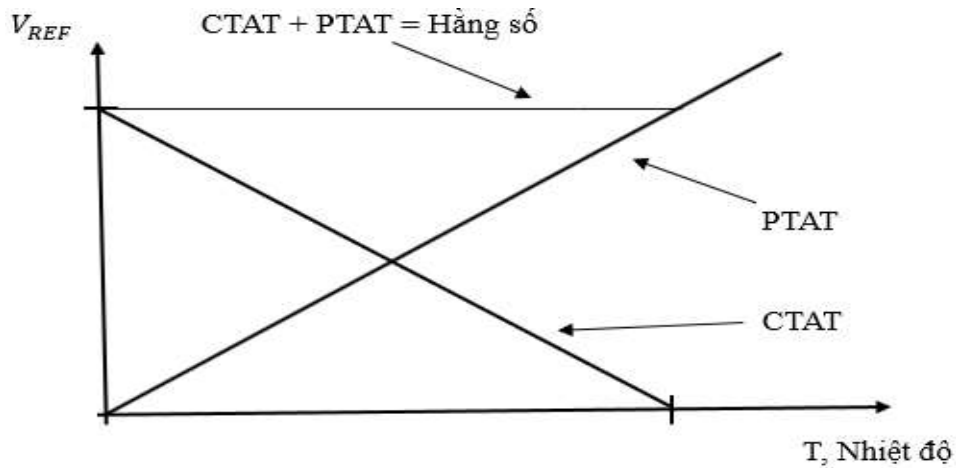
Hình 1.8 Biểu đồ PTAT

Kết hợp thành phần PTAT và CTAT:

Bằng cách tổng hợp hai điện áp V_{PTAT} và V_{CTAT} với một tỷ lệ vừa đủ, ta sẽ thu được một điện áp có giá trị không đổi, điện áp này là điện áp tham chiếu V_{REF} có độ ổn định cao đối với sự biến đổi của nhiệt độ. Giá trị của V_{REF} có thể được biểu diễn một cách tổng quát như sau:

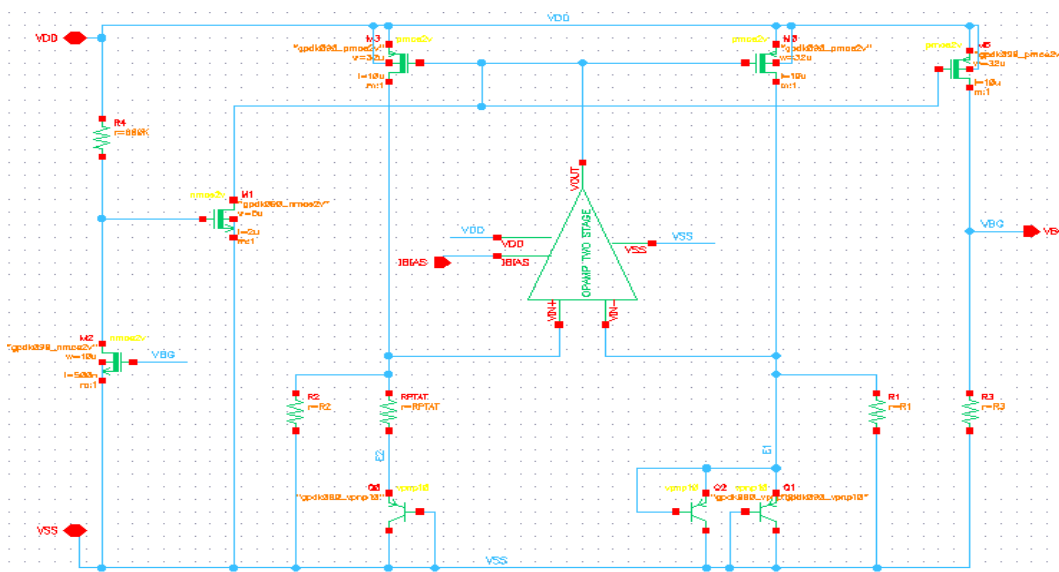
$$V_{REF} = V_{CTAT} + k \cdot V_{PTAT} \quad (1.2)$$

Trong đó, k là một hệ số tỷ lệ được thiết kế sao cho hệ số nhiệt độ tổng của V_{REF} gần bằng không trong dải nhiệt độ hoạt động mong muốn.



Hình 1.9 Kết hợp hai biểu đồ PTAT và CTAT

Mạch khởi động (startup circuit) đóng vai trò quan trọng trong việc đảm bảo mạch BGR (Bandgap Reference) có thể thiết lập được trạng thái hoạt động ổn định mong muốn. Chức năng chính của mạch khởi động là cung cấp một dòng điện ban đầu để kích hoạt các thành phần tích cực trong mạch BGR, đưa hệ thống đến điểm làm việc mà tại đó điện áp tham chiếu V_{ref} không còn bị ảnh hưởng bởi sự biến thiên nhiệt độ. Sau khi mạch BGR đã đạt được trạng thái hoạt động ổn định, mạch khởi động thường sẽ tự động ngắt khỏi mạch chính để tránh gây ảnh hưởng đến hiệu suất và độ chính xác của điện áp tham chiếu. Bên cạnh đó, mạch khuếch đại thuật toán (operational amplifier) thường được tích hợp trong cấu trúc mạch tạo điện áp tham chiếu chính. Mục đích của việc sử dụng mạch khuếch đại thuật toán là để thiết lập một cơ chế hồi tiếp âm (negative feedback). Cơ chế này có vai trò duy trì sự cân bằng điện áp giữa cực đảo và cực không đảo của mạch khuếch đại, từ đó đảm bảo điện áp tham chiếu đầu ra được ổn định và chính xác theo thiết kế.



Hình 1.10 Sơ đồ nguyên lý mạch tạo điện áp tham chiếu

1.3. Các tham số đánh giá

1.3.1. Công suất tiêu thụ

Khi dòng điện chạy qua điện trở, một phần công suất điện bị tiêu tán, thường được chuyển thành nhiệt. Phần công suất này là không mong muốn. Do đó, nó được gọi là tiêu tán công suất hoặc "tổn thất công suất". Tất cả các linh kiện điện tử đều có điện trở bên trong, có thể bỏ qua trong một số trường hợp. Ví dụ, ở dạng lý tưởng, tụ điện và cuộn cảm không có bất kỳ tiêu tán công suất nào vì chúng là thiết bị lưu trữ năng lượng và điện trở bên trong của chúng thường có thể bị bỏ qua. Điện trở bên trong đã đề cập tạo ra nhiệt và làm tăng nhiệt độ của linh kiện. Nếu nhiệt sinh ra vượt quá mức dung sai của linh kiện, linh kiện sẽ bị hỏng và có thể gây ra sự cố cho mạch được thiết kế. Do đó, để mạch có độ tin cậy cao hơn, phải tính toán và kiểm tra công suất tiêu tán của từng linh kiện và toàn bộ mạch theo thông số kỹ thuật của các linh kiện có sẵn trong mạch.

Tính toán công suất tiêu tán của mạch là rất cần thiết, biểu diễn dạng công thức ta có:

$$P_{dis} = V_{DD} \cdot I \quad (1.3)$$

Việc thiết kế mạch error amp cho mạch chuyển đổi điện áp có sụt áp thấp phải đảm bảo công suất thấp hơn 200uW. Suy ra tổng dòng điện tiêu thụ cấp cho mạch opamp hai tầng phải thấp hơn 100uA.

Công suất tiêu thụ của mạch chuyển đổi điện áp có sụt áp thấp được cho như sau:

$$P_D = (V_{IN} - V_{OUT}) \cdot I_{OUT} + (V_{IN} \cdot I_q) \quad (1.4)$$

1.3.2. Hệ số khuếch đại một chiều

Mạch tương tự chủ yếu bao gồm các bộ khuếch đại. Một opamp lý tưởng được cho là có độ khuếch đại vô hạn, để có được hoạt động của opamp gần với lý tưởng nhất có thể, độ khuếch đại của bộ khuếch đại (đầu ra so với đầu vào) phải được tối đa hóa.

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (1.5)$$

Hệ số khuếch đại một chiều cho mạch error amp cần phải đủ lớn, yêu cầu của thiết kế trên 35dB.

1.3.3. Băng thông khuếch đại

Đối với các thiết bị như bộ khuếch đại hoạt động được thiết kế để có đáp ứng tần số một cực đơn giản, băng thông khuếch đại gần như không phụ thuộc vào độ lợi mà nó được đo; trong các thiết bị như vậy, băng thông khuếch đại cũng sẽ bằng băng thông độ lợi đơn vị của bộ khuếch đại (băng thông mà độ lợi của bộ khuếch đại là 1). Đối với bộ

khuếch đại trong đó phản hồi âm làm giảm độ lợi xuống dưới độ lợi vòng hở, băng thông khuếch đại của bộ khuếch đại vòng kín sẽ gần bằng với băng thông khuếch đại của bộ khuếch đại vòng hở. Tham số đặc trưng cho sự phụ thuộc tần số của độ lợi bộ khuếch đại hoạt động là băng thông khuếch đại hữu hạn (GBW).

$$Gain\ Bandwidth = Gain \times Bandwidth \quad (1.6)$$

GBW cung cấp thông tin về sự cân bằng giữa độ lợi và băng thông của bộ khuếch đại. Tăng độ lợi của bộ khuếch đại sẽ làm giảm băng thông và ngược lại. Mạch bên trong của bộ khuếch đại và khả năng phản hồi với các tần số khác nhau gây ra hiệu ứng này.

Một opamp có GBW cao có thể cung cấp mức tăng cao cho tín hiệu tần số thấp nhưng sẽ có mức tăng giảm ở tần số cao hơn. Ngược lại, một opamp có GBW thấp hơn có thể có đáp ứng tần số rộng hơn nhưng mức tăng thấp hơn.

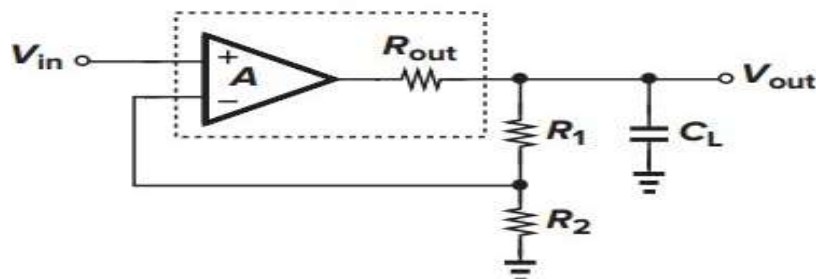
Yêu cầu thiết kế mạch error amp đảm bảo băng thông khuếch đại của mạch GBW $\geq 4\text{MHz}$.

1.3.4. Tốc độ chuyển mạch tín hiệu

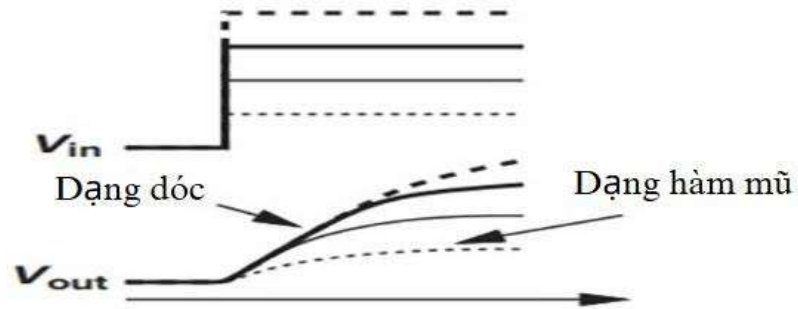
Trong quá trình thiết kế cho mạch khuếch đại thuật toán (opamp), khả năng cung cấp và hấp thụ dòng điện có ảnh hưởng trực tiếp đến hiệu năng của mạch. Khả năng cung cấp và hấp thụ dòng điện (current source and current sink) của opamp là một yếu tố quan trọng, quyết định đến khả năng tải của mạch. Bên cạnh đó, điện áp đầu ra của opamp bị giới hạn trong một khoảng nhất định để duy trì đặc tính khuếch đại tuyến tính.

Một thông số quan trọng khác cần xem xét là tốc độ thay đổi điện áp đầu ra, hay còn gọi là slew rate. Slew rate thường được xác định bởi dòng điện tối đa mà tầng đầu vào có thể cung cấp hoặc hấp thụ để nạp hoặc phóng điện dung. Điều đáng lưu ý là, slew rate không bị giới hạn bởi điện áp đầu ra mà phụ thuộc vào khả năng cung cấp/hút dòng của tầng đầu tiên trong cấu trúc opamp.

Slew rate bị chi phối bởi các điều kiện tín hiệu lớn của mạch. Việc hiểu rõ và xem xét các thông số này là cần thiết để đảm bảo mạch khuếch đại thuật toán hoạt động đúng theo yêu cầu của thiết kế.



Hình 1.11 Phản ứng của opamp tuyến tính đối với đáp ứng bước



Hình 1.12 Slewing trong một mạch op-amp

Tuy nhiên, với một opamp thực tế, đáp ứng bước của mạch bắt đầu lệch khỏi điều kiện lý tưởng. Như minh họa trong Hình 1.12, đáp ứng với các tín hiệu đầu vào đủ nhỏ tuân theo hàm mũ, nhưng với các bước đầu vào lớn, đầu ra hiển thị một đường dốc tuyến tính có độ dốc không đổi. Trong điều kiện này, opamp đang trải qua hiện tượng slewing và gọi độ dốc của đường dốc đó là “slew rate”

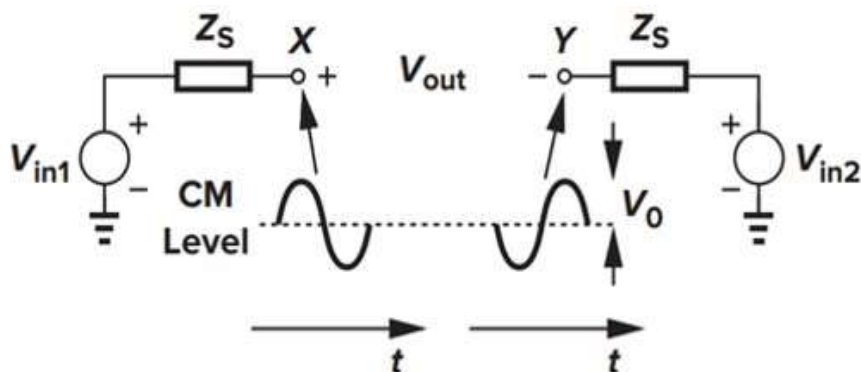
Yêu cầu đối với mạch error amp có $SR \geq 3V/\mu s$

1.3.5. Dải điện áp chế độ chung đầu vào/đầu ra (I_{CMR}/O_{CMR})

Bộ khuếch đại vi sai là bộ khuếch đại khuếch đại sự khác biệt giữa hai điện áp và loại bỏ giá trị trung bình hoặc giá trị chế độ chung của hai điện áp. Điện áp đầu vào chế độ chung, là giá trị trung bình của V_{IN1} và V_{IN2} . Input Common Mode Range (I_{CMR}) là một thông số quan trọng trong các mạch khuếch đại vi sai (differential amplifier), đặc biệt là trong các bộ khuếch đại thuật toán (operational amplifiers - opamps). Nó là phạm vi điện áp mà cả hai đầu vào của bộ khuếch đại có thể dao động mà không làm sai lệch hoạt động của bộ khuếch đại.

Để đảm bảo cho hoạt động của mạch khuếch đại :

- Điện áp chế độ chung đầu vào nằm trong dải điện áp $0,85V \leq I_{CMR} \leq 1,9V$.
- Điện áp chế độ chung đầu ra nằm trong dải $0,3V \leq O_{CMR} \leq 1,9V$

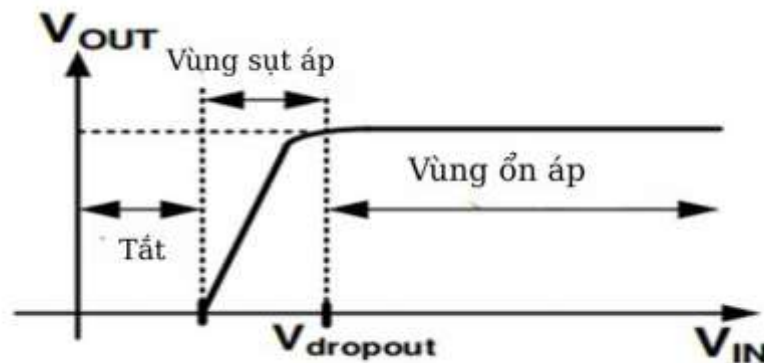


Hình 1.13 Cấu trúc chung của bộ khuếch đại vi sai

1.3.6. Điện áp rơi (Dropout voltage)

Điện áp rơi (dropout voltage) trong bộ điều chỉnh điện áp rơi thấp (LDO) là hiệu điện thế tối thiểu cần thiết giữa điện áp đầu vào (V_{IN}) và điện áp đầu ra (V_{OUT}) để LDO duy trì khả năng điều chỉnh điện áp đầu ra. Nói cách khác, khi hiệu điện thế $V_{IN} - V_{OUT}$ giảm xuống dưới điện áp dropout, LDO sẽ không còn khả năng duy trì điện áp đầu ra ổn định theo thiết kế. Điều quan trọng là phải có điện áp dropout thấp để tăng hiệu suất và tản nhiệt tối thiểu. Điện áp rơi này phụ thuộc vào pass device/ load current lựa chọn và thường nằm trong dải 0,1V đến 0,5V.

Yêu cầu của thiết kế mạch ổn áp tuyến tính đảm bảo điện áp rơi đạt 300mV.



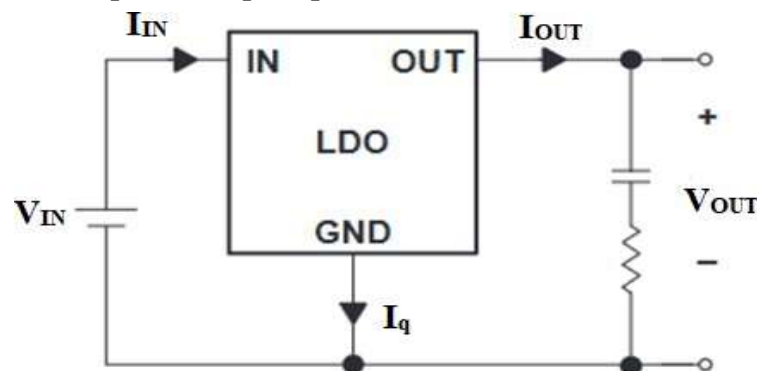
Hình 1.14 Mối quan hệ giữa điện áp đầu vào và điện áp đầu ra của một bộ điều chỉnh điện áp tuyến tính

1.3.7. Dòng điện tĩnh (Quiescent current)

Dòng điện tĩnh (I_q), được xác định là hiệu số giữa dòng điện đầu vào (I_{IN}) và dòng điện đầu ra (I_{OUT}), theo biểu thức

$$I_q = I_{IN} - I_{OUT} \quad (1.7)$$

Việc duy trì dòng điện tĩnh ở mức thấp đóng vai trò then chốt trong việc tối ưu hóa hiệu suất dòng điện của hệ thống. Dưới đây là hình vẽ cho thấy dòng điện tĩnh trong mạch chuyển đổi điện áp có sụt áp thấp:



Hình 1.15 Dòng điện tĩnh trong mạch chuyển đổi điện áp có sụt áp thấp

1.3.8. Hiệu suất năng lượng (Power efficiency)

Hiệu suất của mạch chuyển đổi điện áp có sụt áp thấp bị giới hạn bởi dòng điện tĩnh và điện áp đầu vào/đầu ra như sau:

$$\text{Hiệu suất năng lượng} = \frac{I_{OUT} \cdot V_{OUT}}{(I_{IN} + I_a) \cdot V_{IN}} \times 100\% \quad (1.8)$$

Để có hiệu suất cao, điện áp rơi và dòng điện tĩnh phải được giảm thiểu. Thêm vào đó, sự khác biệt điện áp giữa đầu vào và đầu ra phải được tối thiểu hóa, vì sự tiêu tán công suất của mạch ảnh hưởng đến hiệu suất (Công suất tiêu tán = $(I_{OUT} - V_{OUT}) \cdot I_{OUT}$). Sự khác biệt điện áp đầu vào và đầu ra là một yếu tố nội tại quyết định hiệu suất, bất kể điều kiện tải.

1.3.9. Hiệu suất dòng điện (Current efficiency)

Nếu điện áp đầu vào và điện áp đầu ra được xác định trước trong hệ thống, hiệu suất dòng điện sẽ được tính theo, hiệu suất dòng điện được xác định như sau:

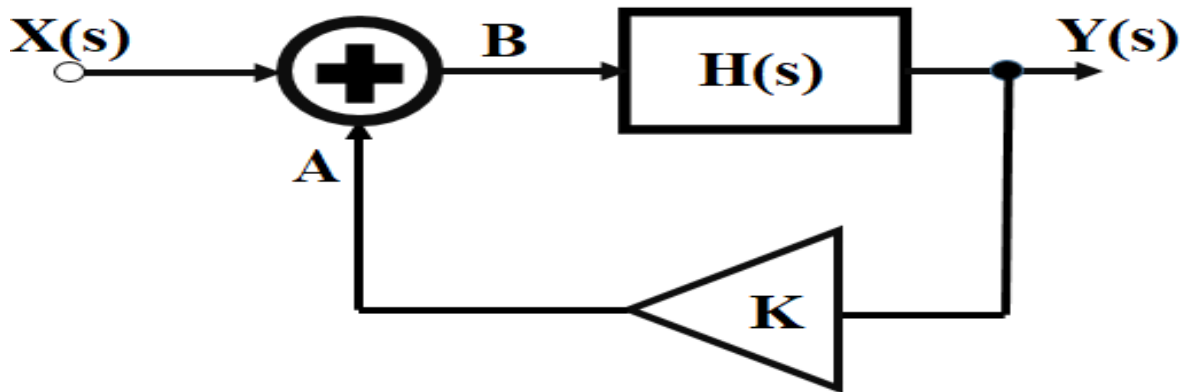
$$\text{Hiệu suất dòng điện} = \frac{I_{OUT}}{I_{IN} + I_a} \times 100\% \quad (1.9)$$

Để đạt được hiệu suất dòng điện cao nhất, việc có giá trị I_q thấp nhất là cực kỳ quan trọng để tối ưu hóa mức tiêu thụ điện năng.

1.4. Độ ổn định của hệ thống hồi tiếp

1.4.1. Độ ổn định của vòng hồi tiếp âm

Giả sử có một vòng hồi tiếp âm (negative feedback loop) như hình 1.16.



Hình 1.16 Sơ đồ khối mạch hồi tiếp âm với hệ số phản hồi K

Tín hiệu đầu ra $Y(s)$ sau khi đưa một tín hiệu đầu vào ở $X(s)$ ta được:

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + KH(s)} \quad (1.10)$$

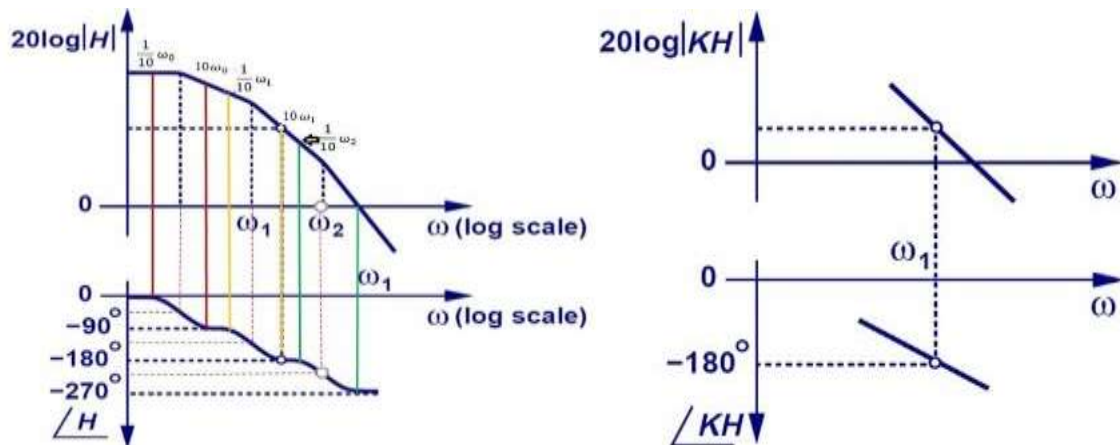
Tỷ số này cho biết hàm truyền của vòng kín, thông số này được xem xét để đánh giá tính ổn định của hệ thống. Nếu một tần số nào đó tồn tại mà ở đó làm cho $KH(s) = -1$, tức $1 + KH(s) = 0$ dẫn đến hàm truyền vòng kín tăng lên đến ∞ . Điều này xảy ra khi

độ lớn của hàm truyền vòng hở $|KH(s)| = 1$ và pha của hàm truyền này bằng 180° . Lúc này nói rằng mạch đang bị dao động (oscillate) hay bất ổn định (unstable).

1.4.2. Sự dao động và độ ổn định của hệ thống

a) Điều kiện xảy ra dao động

Hình 1.17 minh họa đặc tính đáp ứng tần số của một hệ thống, trong đó biên độ tín hiệu giảm dần theo sự gia tăng tần số sau mỗi điểm cực. Đồng thời, pha của tín hiệu cũng trải qua sự thay đổi đáng kể. Cụ thể, khi tần số tín hiệu đạt đến giá trị xấp xỉ $1/10$ tần số điểm cực, pha bắt đầu giảm. Trong khoảng tần số từ $1/10$ tần số điểm cực đến tần số điểm cực, pha giảm tuyến tính 45° . Sự giảm pha tiếp tục với tốc độ tương tự, thêm 45° nữa, cho đến khi tần số đạt đến khoảng 10 lần tần số điểm cực. Như vậy, trong dải tần số từ $1/10$ tần số điểm cực đến 10 lần tần số điểm cực, tổng sự thay đổi pha là 90° . Điều quan trọng cần lưu ý là khi tần số tín hiệu nhỏ hơn $1/10$ tần số điểm cực, pha duy trì giá trị không đổi.



Hình 1.17 Đáp ứng tần số của hệ thống

Khi tần số ω_1 đạt đến giá trị mà pha của tín hiệu đầu ra lệch pha 180° so với tín hiệu đầu vào, hệ thống có khả năng trở nên không ổn định. Điều này xảy ra nếu tại tần số ω_1 , độ lợi $H(s)$ vẫn lớn hơn 0dB. Trong trường hợp này, tín hiệu đầu ra từ $H(s)$ được khuếch đại và đưa trở lại đầu vào thông qua vòng phản hồi. Tín hiệu này, sau khi qua hệ thống hồi tiếp có hệ số hồi tiếp K và cộng với tín hiệu đầu vào ban đầu, tạo ra một tín hiệu đầu ra lớn hơn. Quá trình này lặp lại liên tục, dẫn đến sự gia tăng biên độ tín hiệu theo thời gian, gây ra hiện tượng dao động không ổn định.

b) Điều kiện ổn định của hệ thống

Nếu tại tần số ω_1 mà tín hiệu lấy từ đầu ra có pha nhỏ hơn 180° so với tín hiệu đầu vào và trong $H(s)$ hoàn toàn không còn khả năng khuếch đại tín hiệu nữa ($KH(s) = 1$ lần hoặc 0 dB). Do lệch pha giữa tín hiệu vào và tín hiệu ra chưa đến 180° , nên tín hiệu ngay sau khi ra khỏi bộ cộng được cộng lại vẫn tồn tại một độ lệch đáng kể so với tín hiệu

đầu vào, làm cho tín hiệu ở B (trong hình 1.16) ở thời điểm đầu tiên dao động với biên độ lớn nhất, và sẽ giảm dần khi độ lệch pha này tăng lên vì $H(s)$ không còn khả năng khuếch đại tín hiệu. Đến khi độ lệch pha này tăng đến 180° , điều này khiến tín hiệu tại điểm B tăng lên trở lại, kéo theo sự gia tăng biên độ của tín hiệu đầu ra.

Khi tín hiệu được lấy từ ngõ ra ngược pha 180° so với tín hiệu đầu vào (tại tần số ω_2), cùng với hệ thống có $|KH(s)| < 1$ lần hoặc nhỏ hơn 0 dB nên tín hiệu ra khỏi bộ cộng ở điểm B dù có tăng lên khi hai tín hiệu ngược pha nhưng vì độ khuếch đại của nó đã bị giảm xuống dưới 0 dB nên tín hiệu đầu ra sẽ bị giảm dần.

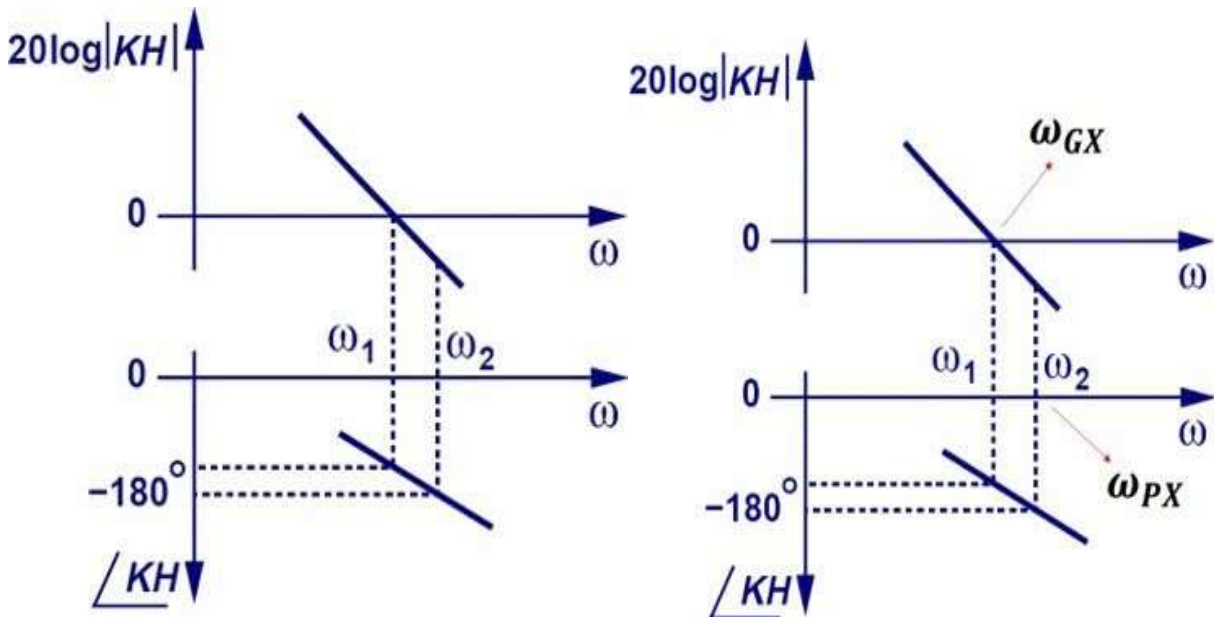
Như vậy tín hiệu đầu ra sẽ bị giảm liên tục theo thời gian. Cụ thể tín hiệu đưa từ B giảm dần khi độ lệch pha tín hiệu tiến gần đến 180° , tín hiệu đầu ra khi đó sẽ giảm dần theo tín hiệu ở B theo hệ số khuếch đại của $H(s)$ là 0 dB. Khi độ lệch pha này đạt đến giá trị bằng 180° , tín hiệu ở B tăng trở lại nhưng khi đưa qua $H(s)$ có hệ số khuếch đại dưới 0 dB tiếp tục làm giảm tín hiệu đầu ra. Hệ thống này gọi là ổn định khi:

$$KH(s) = -180^\circ, |KH(s)| < 1$$

Trong đó:

- $\omega_2 = \omega_{PX}$, gọi là “phase crossover”, là tần số mà pha của hàm truyền vòng kín bằng 180° hay $KH(s) = -180^\circ$
- $\omega_1 = \omega_{GX}$, gọi là “gain crossover”, là tần số mà $|KH(s)| = 1$. Điều kiện ổn định của hệ thống là $\omega_{GX} < \omega_{PX}$

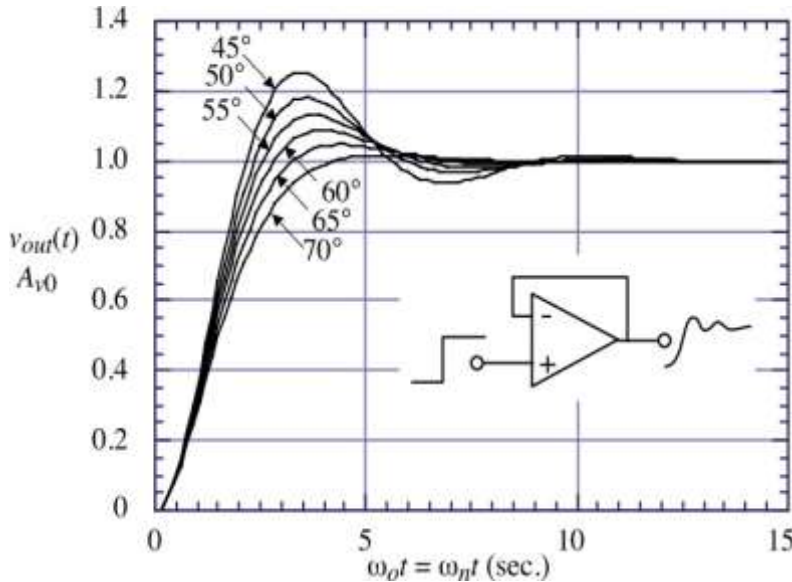
Dưới đây là biểu đồ Bode (Bode plot), thể hiện mối liên hệ giữa biên độ và pha khi xét tính ổn định của hệ thống:



Hình 1.18 Điều kiện ổn định của hệ thống

c) Biên độ pha (Phase margin)

“Phase margin”(PM), là sự khác biệt giữa pha của độ lợi vòng hở và -180 độ tại tần số mà độ lợi vòng hở là 1. Ngoài ra, biên độ lợi (gain margin) là sự khác biệt giữa độ lợi vòng hở và 0 dB tại tần số giao pha nhau (phase crossover), nơi pha của độ lợi vòng hở là -180 độ.



Hình 1.19 Đáp ứng của hệ thống bậc hai với các biên pha khác nhau

$\text{Phase Margin} = \angle H(\omega_{GX}) + 180^\circ$. Phase margin càng lớn, hệ thống phản hồi âm sẽ càng ổn định. Để đảm bảo độ ổn định cho hệ thống, người ta sẽ thiết kế mạch sao cho $\text{PM} \geq 45^\circ$. Giá trị tốt nhất cho PM là khoảng 60°

Như vậy để bảo đảm độ ổn định cho hệ thống, cần thỏa mãn hai điều kiện: $\omega_{GX} < \omega_{PX}$ và $\text{PM} \geq 45^\circ$

Đáp ứng xung của hệ thống bậc hai là tốt khi đáp ứng đạt được giá trị ổn định nhanh chóng. Một quy tắc nhỏ cho độ ổn định có thể chấp nhận được là số dao động không vượt quá 3 lần. Độ ổn định tốt không nhất thiết đồng nghĩa với thời gian tăng nhanh nhất. Việc này được thực hiện bằng việc bù tần số (Frequency compensation).

1.5. Bù tần số (Frequency compensation)

Các mạch khuếch đại thuật toán (opamp) thực tế thường phức tạp về cấu trúc và chứa nhiều cực trong hàm truyền vòng hở. Sự tồn tại của các cực này có thể gây ra những ảnh hưởng tiêu cực đến tính ổn định của mạch khi được cấu hình với hồi tiếp âm. Do đó, việc bù tần số trở thành một giai đoạn thiết kế bắt buộc nhằm đảm bảo mạch vòng kín hoạt động ổn định và đáp ứng thời gian có đặc tính mong muốn.

Nguyên nhân sâu xa của nhu cầu bù tần số xuất phát từ đặc điểm đáp ứng tần số của mạch vòng hở. Tính ổn định của hệ thống hồi tiếp âm được đánh giá dựa trên tiêu chí

Nyquist, trong đó mối quan hệ giữa độ lợi vòng lặp $T(s)=KH(s)$ và pha $\angle T(s)$ đóng vai trò then chốt. Vấn đề nảy sinh khi độ lợi vòng lặp $|KH(s)|$ không suy giảm xuống dưới mức đơn vị một cách dứt khoát trước khi pha dịch

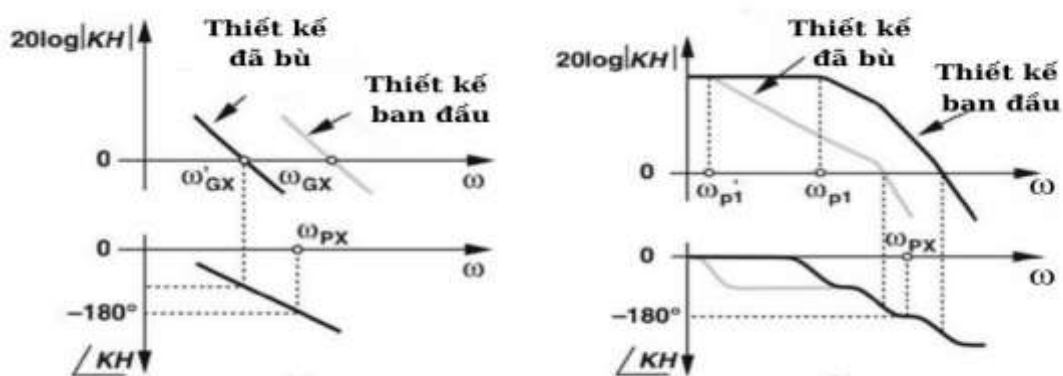
$\angle KH(s)$ đạt đến -180° . Tại tần số mà pha dịch đạt -180° , nếu độ lợi vòng lặp vẫn lớn hơn hoặc bằng một, mạch có nguy cơ trở nên không ổn định và dao động.

Để khắc phục tình trạng này, có hai phương pháp tiếp cận chính thường được áp dụng trong kỹ thuật bù tần số:

Giảm thiểu tổng độ dịch pha: Phương pháp này tập trung vào việc thiết kế mạch sao cho số lượng cực trong đường tín hiệu được giảm thiểu tối đa dẫn đến tần số cắt pha được đẩy ra xa. Do mỗi tầng khuếch đại thường đóng góp ít nhất một cực, việc giảm số tầng khuếch đại có thể giúp hạn chế độ dịch pha tích lũy. Tuy nhiên, giải pháp này thường đi kèm với những hạn chế về hiệu suất, chẳng hạn như độ lợi điện áp thấp và/hoặc biên độ tín hiệu ngõ ra bị giới hạn.

Giảm độ lợi theo tần số: Phương pháp này chủ trương điều chỉnh đáp ứng biên độ của mạch vòng hở sao cho độ lợi suy giảm nhanh hơn theo tần số. Bằng cách này, tần số cắt độ lợi (gain crossover frequency) sẽ được dịch chuyển về tần số thấp hơn, tại đó pha dịch thường nhỏ hơn -180° , qua đó cải thiện dự trữ pha và đảm bảo tính ổn định. Mặc dù phương pháp này có ưu điểm là duy trì được độ lợi tần số thấp và biên độ ngõ ra, nhưng nó lại dẫn đến sự suy giảm băng thông của mạch do độ lợi buộc phải giảm ở các tần số thấp hơn.

Dưới đây là hình vẽ cho chúng ta thấy kết quả trước và sau khi triển khai áp dụng kỹ thuật bù tần số:



Hình 1.20 Đáp ứng tần số trước và sau khi bù

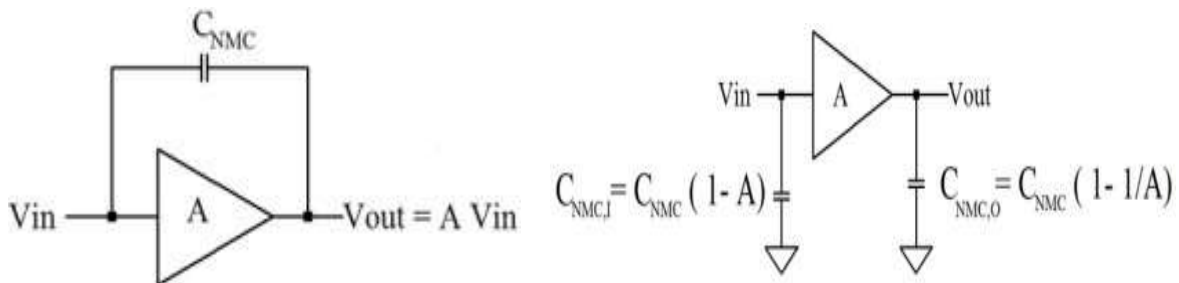
Trong cấu hình minh họa, trước khi áp dụng kỹ thuật bù tần số, quan sát thấy tần số ω_{GX} vượt quá tần số ω_{PX} , dẫn đến hệ thống hoạt động trong vùng không ổn định. Để thiết lập tính ổn định cho hệ thống, phương pháp bù tần số được triển khai. Mục tiêu của

kỹ thuật này là dịch chuyển cực dominant đầu tiên về gần gốc tọa độ trên mặt phẳng phức, hay nói cách khác, giảm tần số ω_{GX} về phía gốc tọa độ trên biểu đồ Bode, trong khi duy trì tần số cực ω_{PX} không đổi. Kết quả của quá trình bù tần số là sự giảm thiểu tần số ω_{GX} so với ω_{PX} , đồng thời đảm bảo biên độ dự trữ pha (phase margin) lớn hơn 45° . Điều này cho phép hệ thống đạt được tính ổn định như mong muốn

Phương pháp bù tần số giúp đưa điểm cực có tần số w_{P1} tiến gần hơn gốc tọa độ ở w'_{P1} . Trong khi đó w_{GX} đã được dịch chuyển sang trái đến vị trí w'_{GX} thỏa mãn điều kiện $w'_{GX} < w_{GX}$. Việc dịch tần số w_{GX} đủ lớn, vừa đảm bảo nhỏ hơn tần số *phase crossover*, vừa đảm bảo biên độ pha lớn hơn 45° , lúc này hệ thống đã ổn định hơn so với ban đầu.

1.6. Bù Miller

Thuyết Miller – Capacitive:



Hình 1.21 Thuyết Miller

Nguyên lý cơ bản của bù Miller dựa trên việc sử dụng một tụ điện (C_{NMC}) mắc giữa đầu vào và đầu ra của tầng khuếch đại có hệ số khuếch đại điện áp $A < 0$. Theo hiệu ứng Miller, điện dung này khi nhìn từ phía đầu vào (C_{IN}) sẽ được khuếch đại lên một hệ số $(1 - A)$:

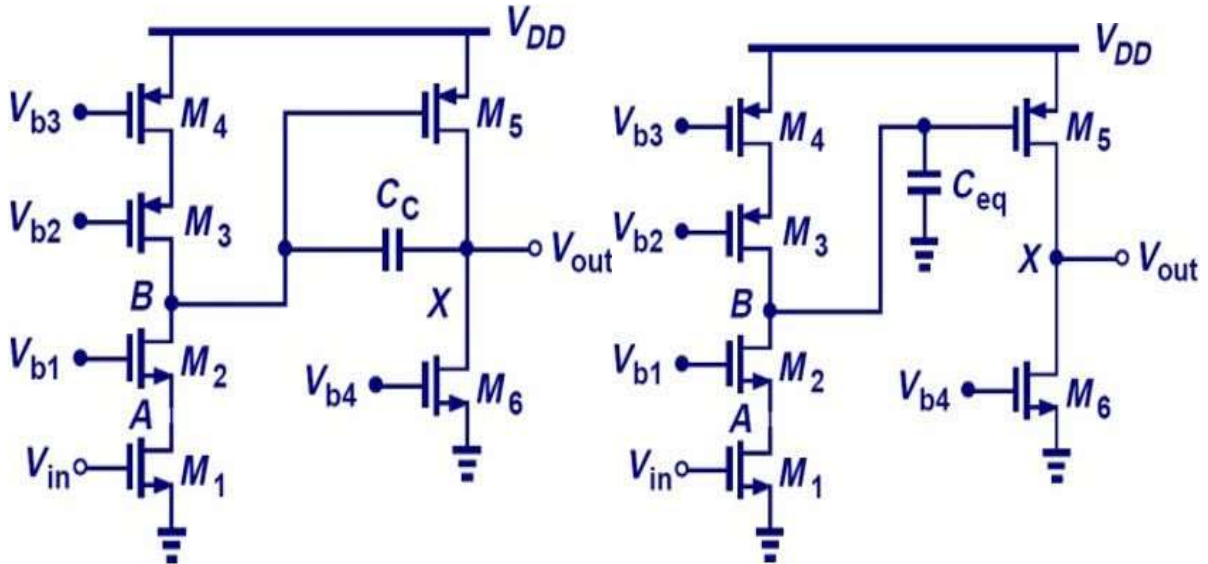
$$C_{IN} = C_{NMC} \cdot (1 - A) \quad (1.11)$$

Do $A < 0$, hệ số $(1 - A)$ sẽ lớn hơn 1, dẫn đến việc điện dung hiệu dụng nhìn từ đầu vào tăng lên đáng kể so với giá trị thực của tụ điện C_{NMC} .

Như vậy điện dung khi nhìn từ đầu vào sẽ có giá trị bằng C_{NMC} nhân với hệ số $(1 - A)$. Điều này sẽ rất có lợi trong việc bù tần số. Trong khi thực hiện bù tần số, cần làm giảm tần số điểm cực (dominant pole) tiến gần đến giá trị 0. Đồng nghĩa với việc tần số ở điểm cực đó phải giảm đi. Một trong cách để làm giảm tần số này là tăng điện dung ký sinh ở điểm cực được xét, bằng cách mắc thêm một tụ điện C_C (hình 1.21). Dịch chuyển tần số này về gốc tọa độ càng nhiều thì điện dung này phải càng lớn. Điều này làm ảnh hưởng đến diện tích của mạch.

Để giải quyết vấn đề về diện tích, phương pháp bù Miller đã tận dụng hiệu ứng khuếch đại điện dung để đạt được mục tiêu tương tự nhưng với một tụ điện có giá trị

nhỏ hơn nhiều. Bằng cách mắc tụ điện C_{NMC} giữa đầu vào và đầu ra của một tầng khuếch đại có hệ số khuếch đại âm lớn, điện dung hiệu dụng nhìn từ đầu vào được tăng lên đáng kể, tương đương với việc mắc một tụ điện lớn hơn nhiều tại nút đầu vào. Điều này cho phép dịch chuyển tần số của điểm cực trội về tần số thấp hơn một cách hiệu quả mà không làm tăng đáng kể diện tích chip.



Hình 1.22 Bù tần số sử dụng tụ Miller

Mắc thêm một tụ điện có điện dung C_C có vai trò tương tự như C_{NMC} vào hai cực Gate và Drain của M_5 . Khi đó độ khuếch đại giữa cực Gate và Drain của M_5 sẽ bằng:

$$A_V = -g_{m5} \cdot (r_{o5} // r_{o6}) \quad (1.12)$$

Theo thuyết của Miller, điện dung tương đương bằng:

$$C_{eq} = C_C \cdot (1 + g_{m5} \cdot (r_{o5} // r_{o6})) \quad (1.13)$$

Điện dung của điểm B khi đó được nhân lên bởi hệ số khuếch đại giữa cực G và D của M_5 nên điện dung ấy sẽ tăng lên làm cho tần số của điểm cực B giảm xuống, và tiến lại gần góc tọa độ hơn mà không cần phải thêm tụ điện có điện dung lớn và chiếm nhiều diện tích. Đây là phương pháp bù tần số bằng cách sử dụng tụ bù Miller. Bằng cách này, có thể điều chỉnh giá trị điện dung của tụ để đạt yêu cầu về độ ổn định của hệ thống.

1.7. Tổng kết chương 1

Chương 1 trình bày cấu trúc cơ bản của mạch chuyển đổi điện áp có sụt áp thấp, các thành phần cơ bản gồm: mạch khuếch đại (EA), mạch tạo điện áp tham chiếu (BGR), pass device (transistor PMOS) và hệ thống điện trở hồi tiếp (R_{FB}). Trong đó, để đảm bảo về độ khuếch đại và dao động của tín hiệu ngõ ra, mạch khuếch đại được mắc thành hai tầng với hai mục đích khác nhau, tầng thứ nhất làm tăng độ khuếch đại, tầng thứ hai giúp mở rộng dải dao động của điện áp ngõ ra. Chương cũng chỉ ra các tham số đánh giá hoạt động của mạch khuếch đại bao gồm: Công suất tiêu thụ, hệ số khuếch đại một chiều,

băng thông khuếch đại, tốc độ chuyển mạch tín hiệu, dải điện áp chế độ chung đầu vào/đầu ra. Tiếp theo, mạch tạo điện áp tham chiếu gồm thành phần cơ bản là mạch lõi có nhiệm vụ tạo ra điện áp tham chiếu và mạch startup đưa mạch đến điểm làm việc mong muốn. Độ chênh lệch giữa điện áp tham chiếu lớn nhất và điện áp tham chiếu nhỏ nhất càng thấp chứng tỏ độ phụ thuộc của điện áp tham chiếu theo nhiệt độ càng nhỏ.

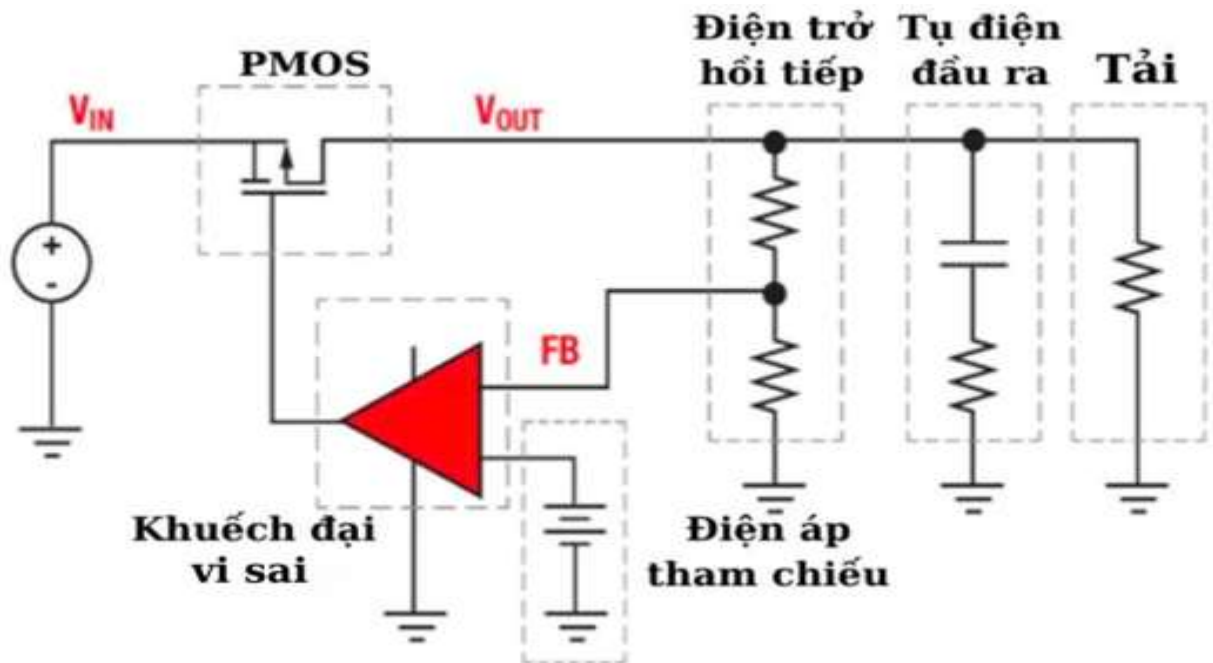
Kỹ thuật bù tần số ứng dụng từ thuyết của Miller cũng được chỉ ra, vừa đảm bảo yếu tố về độ ổn định của hệ thống hồi tiếp, vừa đảm bảo tiết kiệm diện tích cho toàn bộ chip.

Chương 2 tập trung vào trình tự các bước thiết kế cho từng thành phần trong mạch ổn áp tuyến tính và mô phỏng mạch trên phần mềm Cadence virtuoso.

CHƯƠNG 2: TÍNH TOÁN GIÁ TRỊ LINH KIỆN CỦA MẠCH ĐIỆN CHUYỂN ĐỔI ÁP CÓ SỤT ÁP THẤP

2.1. Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp

Như đã đề cập trong chương 1, mạch LDO gồm một mạch tạo điện áp tham chiếu để cung cấp điện áp chính xác, bộ khuếch đại để điều khiển vòng phản hồi âm để phù hợp với tham chiếu điện áp, điện trở phản hồi để xác định điện áp đầu ra, và một tụ điện đầu ra để ổn định.



Hình 2.1 Sơ đồ khối mạch chuyển đổi điện áp có sụt áp thấp

Mạch điều chỉnh điện áp rơi thấp duy trì điện áp đầu ra ổn định thông qua cơ chế phản hồi âm. Điện áp đầu ra (V_{OUT}) được giám sát liên tục bởi một mạng chia điện áp gồm R_{F1} và R_{F2} . Điện áp tại điểm chia này, tỷ lệ với V_{OUT} , được đưa đến so sánh với một nguồn điện áp chuẩn xác (V_{REF}) trong bộ khuếch đại. Bất kỳ sự sai lệch nào giữa điện áp phản hồi và V_{REF} sẽ được bộ khuếch đại thành một tín hiệu điều khiển. Tín hiệu này tác động trực tiếp lên transistor công suất, phần tử đóng vai trò như một van điều chỉnh dòng điện giữa nguồn đầu vào và tải.

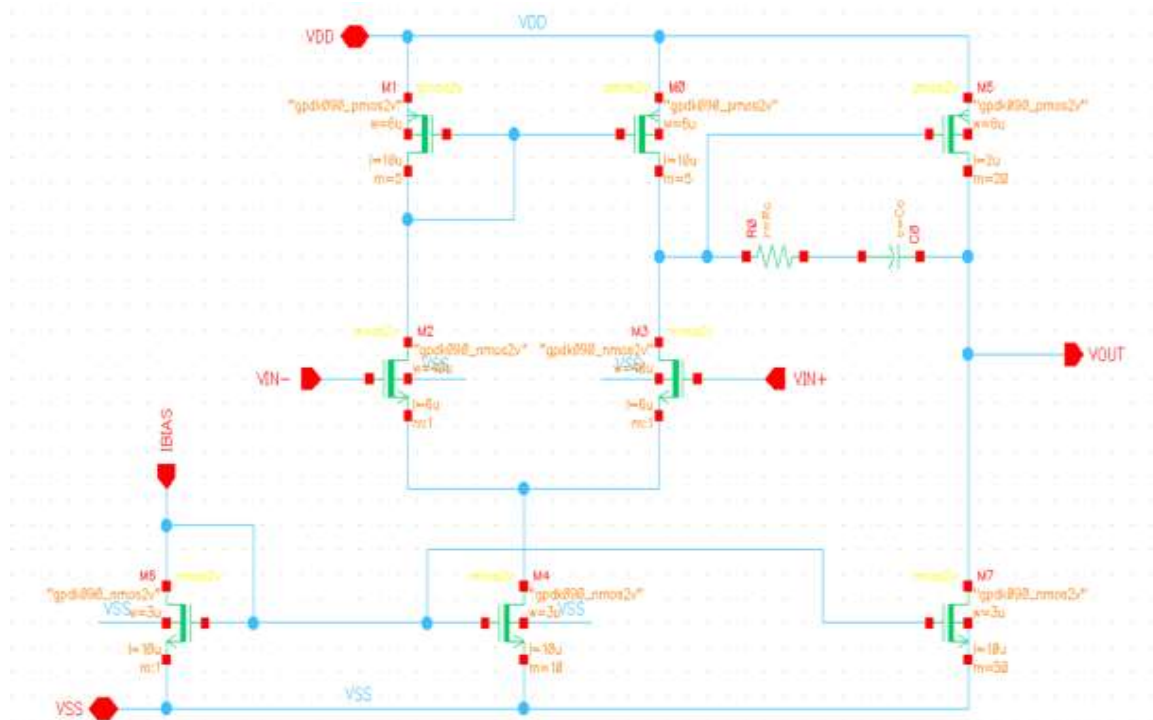
Khi dòng điện tải có xu hướng tăng, V_{OUT} sẽ giảm. Sự sụt giảm này làm giảm điện áp phản hồi, tạo ra một sai lệch ở đầu vào không đảo so với đầu vào đảo của bộ khuếch đại. Bộ khuếch đại đáp ứng bằng cách tăng điện áp điều khiển cấp cho transistor công suất, làm tăng độ dẫn điện của nó. Điều này cho phép dòng điện lớn hơn chảy đến tải, bù đắp cho sự sụt giảm điện áp và khôi phục V_{OUT} về giá trị mong muốn.

Ngược lại, nếu dòng điện tải giảm, V_{OUT} có xu hướng tăng lên. Điện áp phản hồi cũng tăng, tạo ra một sai lệch ở đầu vào của bộ khuếch đại. Bộ khuếch đại sẽ giảm điện áp điều khiển cấp cho transistor PMOS, làm giảm độ dẫn điện của nó. Điều này hạn chế dòng điện đến tải, ngăn chặn V_{OUT} tăng cao hơn mức quy định.

Nhìn chung, vòng phản hồi âm liên tục điều chỉnh dòng điện qua transistor công suất để đảm bảo điện áp đầu ra luôn được duy trì ổn định ở một giá trị được xác định bởi điện áp tham chiếu và tỷ lệ của các điện trở trong mạng phản hồi.

2.2. Thiết kế sơ đồ nguyên lý mạch khuếch đại

Sơ đồ nguyên lý mạch khuếch đại được thể hiện trong hình 2.2. Quy trình thiết kế mạch được thực hiện như sau:

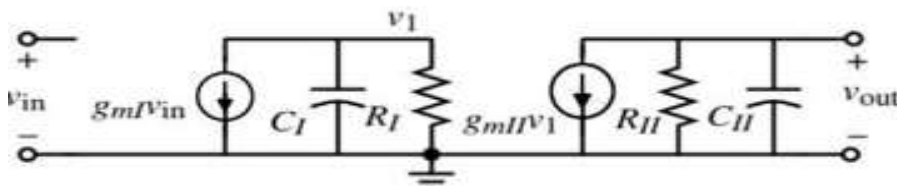


Hình 2.2 Sơ đồ nguyên lý mạch khuếch đại

2.2.1. Mô hình tín hiệu nhỏ của mạch khuếch đại hai tầng

a) Trước khi sử dụng Miller

Mô hình tín hiệu nhỏ của mạch được thể hiện như hình 2.3



Hình 2.3 Mô hình tín hiệu nhỏ mạch khuếch đại trước khi sử dụng tụ bù Miller

Trong mạch tồn tại hai điểm cực, xuất hiện lần lượt ở các vị trí đầu ra của tầng 1 và đầu ra của tầng 2. Giả sử R_I , C_I lần lượt là điện trở và điện dung tại ngõ ra của tầng thứ nhất và R_{II} , C_{II} lần lượt là điện trở và điện dung tại ngõ ra của tầng thứ hai. Từ định nghĩa về điểm cực trong chương 1, suy ra hai điểm cực trong mạch có giá trị bằng:

$$p_1 = \frac{-1}{R_I C_I} \quad (2.1)$$

$$p_2 = \frac{-1}{R_{II} C_{II}} \quad (2.2)$$

b) Sau khi mắc thêm tụ bù Miller

- Tần số điểm cực p_1 :

- Điện trở ngõ ra của tầng thứ nhất của mạch khuếch đại có giá trị bằng R_I
- Điện dung tổng ở ngõ ra tầng thứ nhất của mạch khuếch đại có giá trị bằng:

$$C_I = C_C \cdot A_{V5} = C_C \cdot g_{m5} \cdot R_{II} \quad (2.3)$$

Trong đó thành phần tụ điện ký sinh của các transistor đều nhỏ hơn đáng kể so với điện dung của tụ bù Miller, C_C là điện dung của tụ bù Miller, A_{V5} là độ khuếch đại của transistor M_5 , g_{m5} là độ dẫn của transistor M_5 . Tích $C_C \cdot A_{V5}$ là kết quả của thuyết Miller về bù tần số bằng tụ bù

Như vậy điểm cực p_1 có giá trị bằng:

$$p_1 = \frac{-1}{R_I C_I} = \frac{-1}{R_I C_C \cdot g_{m5} R_{II}} \quad (2.4)$$

- Tần số điểm cực p_2 :

- Điện trở ngõ ra của tầng thứ hai của mạch khuếch đại có giá trị bằng:

$$R_{II} = \frac{1}{g_{m5}} \quad (2.5)$$

- Điện dung tổng ở ngõ ra tầng thứ hai của mạch khuếch đại có giá trị bằng:

$$C_{II} = C_L$$

Trong đó r_{ds7} là điện trở nội của transistor M_7 có giá trị nhỏ hơn nhiều so với $\frac{1}{g_{m5}}$.

Như vậy điểm cực p_2 có giá trị bằng:

$$p_2 = \frac{-1}{R_{II} C_{II}} = \frac{-g_{m5}}{C_L} \quad (2.6)$$

- Tần số điểm không:

Giả sử rằng điện áp đầu ra của tầng 1, hay là đầu vào của tầng 2 đưa vào Gate của M_1 tăng lên, suy ra điện áp V_{GS5} tăng lên dẫn đến I_{DS} đi từ S sang D của M_5 giảm xuống từ đó điện áp rơi trên nút 1 giảm. Tuy nhiên tín hiệu này khi qua tụ (điện áp AC) có pha là không đổi, tức điện áp ở cực G tăng, sau khi qua tụ điện C_C thì điện áp đưa đến nút 1 cũng tăng. Như vậy tại nút 1 có sự tổng hợp của điện áp tăng lên đưa từ Gate qua C_C và

điện áp giảm đi khi dòng chạy qua M_1 từ S sang D. Tại một tần số ở một thời điểm nào đó, khi hai tín hiệu điện này ngược pha nhau và cùng biên độ, nó sẽ tạo ra một tín hiệu điện tổng hợp ở đó bằng không. Điểm mà ở đó tín hiệu của nó bằng 0 gọi là điểm không.

Dựa trên mô hình tín hiệu nhỏ suy ra dòng qua tụ CC có độ lớn bằng dòng qua transistor M_6 tức:

$$\frac{v_{G5}}{z_c} = g_{m5} \cdot V_{G5} \quad (2.7)$$

$$\text{Suy ra } \omega_2 C_c = g_{m5} \rightarrow \omega_z = \frac{g_{m5}}{C_c} \quad (2.8)$$

2.2.2. Xác định độ khuếch đại toàn mạch

Độ khuếch đại của mạch khuếch đại A_V được xác định bằng tích hai độ khuếch đại của mỗi tầng có độ lớn là A_{V1} và A_{V2} , cụ thể $A_V = A_{V1} \cdot A_{V2}$

Trong đó độ khuếch đại của mỗi tầng này được xác định theo công thức sau:

$$A_{V1} = g_{m2} \cdot R_{I1} \text{ và } A_{V2} = g_{m5} \cdot R_{II} \quad (2.9)$$

Suy ra độ khuếch đại cho toàn mạch có độ lớn bằng:

$$A_V = A_{V1} \cdot A_{V2} = (g_{m2} \cdot R_{I1}) \cdot (g_{m5} \cdot R_{II}) \quad (2.10)$$

2.2.3. Xác định Bandwidth (GBW)

GBW được biểu diễn bằng tích của mức khuếch đại và băng thông của bộ khuếch đại đó. GBW là một giá trị hằng số trên đồ thị Bode và có thể tính được bằng công thức sau:

$$\begin{aligned} \text{GBW} &= \text{Gain} \times \text{Bandwidth} \\ \text{GBW} &= A_V \times |f_{p1}| \\ &= (g_{m2} \cdot R_{I1}) \cdot (g_{m5} \cdot R_{II}) \times \frac{1}{2\pi R_{I1} C_c \cdot g_{m5} R_{II}} = \frac{g_{m2}}{2\pi C_c} \end{aligned} \quad (2.11)$$

GBW thường được đo tại tần số mà độ khuếch đại thuật toán bằng 1 (0dB). Đây là một thước đo rất hữu ích trong việc tính toán khả năng hoạt động của bộ khuếch đại tại các tần số khác nhau.

2.3.4. Thiết kế mạch đảm bảo $P_M \geq 60^\circ$

$$180^\circ - \text{Arg}[\text{Loop Gain}] = 180^\circ - \tan^{-1}\left(\frac{\omega}{|p_1|}\right) - \tan^{-1}\left(\frac{\omega}{|p_2|}\right) - \tan^{-1}\left(\frac{\omega}{z}\right) \geq 60^\circ$$

Đề $\omega = \text{GBW}$ và giả sử $z \geq 8 \cdot \text{GBW}$, khi đó ta có:

$$180^\circ - \tan^{-1}\left(\frac{\text{GBW}}{|p_1|}\right) - \tan^{-1}\left(\frac{\text{GBW}}{|p_2|}\right) - \tan^{-1}\left(\frac{\text{GBW}}{z}\right) \geq 60^\circ$$

$$\Leftrightarrow 180^\circ - 60^\circ = \tan^{-1}(A_v(0)) + \tan^{-1}\left(\frac{GBW}{|p_2|}\right) + \tan^{-1}\left(\frac{1}{8}\right) \approx 90^\circ + \tan^{-1}\left(\frac{GBW}{|p_2|}\right) + 7,13^\circ$$

$$\Leftrightarrow \tan^{-1}\left(\frac{GBW}{|p_2|}\right) \leq 22,87^\circ \rightarrow \frac{GBW}{|p_2|} \leq 0,42 \rightarrow |p_2| \geq 2,37 GBW \quad (2.12)$$

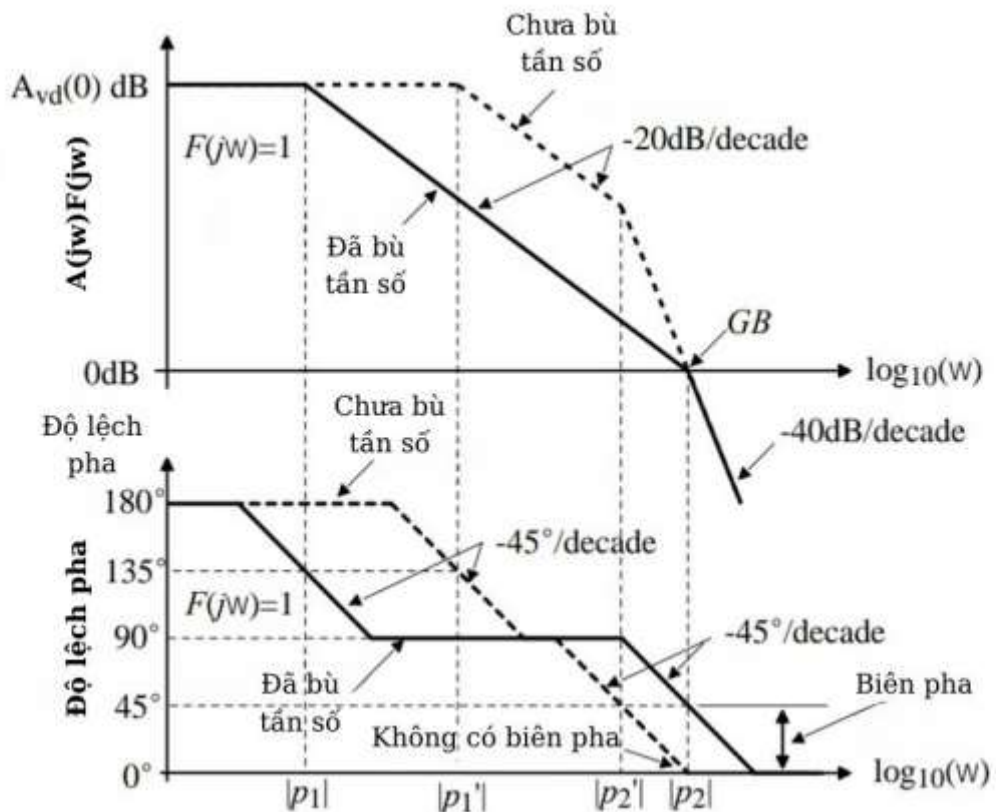
Thay kết quả của p_2 và GBW vào (2.12) ta được:

$$\frac{g_{m5}}{2\pi C_L} \geq 2,37 \cdot \frac{g_{m2}}{2\pi C_C} \quad (2.13)$$

Vì $z \geq 8 \cdot GBW$ nên $\frac{g_{m5}}{2\pi C_C} \geq 8 \cdot \frac{g_{m2}}{2\pi C_C} \rightarrow g_{m5} \geq 8 \cdot g_{m2}$. Chọn $g_{m5} = 8,2 \cdot g_{m2}$ và thay vào (2.13) ta sẽ được:

$$\frac{8,2 \cdot g_{m2}}{2\pi C_L} \geq 2,37 \cdot \frac{g_{m2}}{2\pi C_C} \rightarrow 8,2 \cdot C_C \geq 2,37 \cdot C_L \rightarrow C_C \geq 0,29 \cdot C_L$$

Chọn $C_C = 3\text{pF}$ nên $C_L = 10\text{pF}$



Hình 2.4 Đáp ứng tần số mạch khuếch đại trước và sau khi bù tần số

2.2.5. Thiết kế tốc độ chuyển mạch SR

Xét trường hợp một sự kiện quá độ, trong đó điện áp đầu vào được áp dụng vào cực cổng của transistor M_3 tăng vọt với tốc độ cao, dẫn đến trạng thái dẫn điện bão hòa của M_3 , đồng thời transistor M_2 chuyển sang trạng thái ngắt hoàn toàn. Điều này gây ra sự gián đoạn dòng điện qua M_2 và M_1 . Do cấu hình gương dòng, dòng điện qua M_0 cũng bị triệt tiêu. Trong trạng thái này, đường dẫn dòng điện khả thi duy nhất là từ tầng thứ hai, qua M_3 , và xuống đất. Tuy nhiên, dòng điện không thể được thiết lập từ V_{DD} đến cực nguồn của M_5 , sau đó đến cực cổng, và cuối cùng đến M_3 . Do đó, dòng điện phải đi qua tụ bù C_C . Hiện tượng này ảnh hưởng đến tốc độ thay đổi của tín hiệu đầu ra so với tốc độ thay đổi của điện áp đầu vào. Tốc độ thay đổi này, được gọi là tốc độ quay (slew rate), được xác định bởi dòng điện đi qua tụ bù C_C và điện dung của chính tụ bù đó.

Phụ thuộc vào dòng chạy qua tụ, biểu diễn dưới dạng công thức sau:

$$i_c = C \cdot \frac{dV}{dt} \rightarrow \frac{dV}{dt} = \frac{iC}{C} \quad (2.14)$$

Công thức trên chứng tỏ rằng tốc độ biến thiên điện áp trên tụ điện theo thời gian phụ thuộc vào dòng qua tụ và điện dung của tụ đó. Hay nói cách khác tốc độ chuyển mạch SR cũng chính là tốc độ thay đổi điện áp trên tụ C_C theo thời gian, với dòng điện qua nó có độ lớn là I_{D4} .

$$SR = \frac{I_{D4}}{C_c} \quad (2.15)$$

Yêu cầu của thiết kế đảm bảo $SR \geq 3 \frac{V}{\mu s}$. Suy ra $\frac{I_{D4}}{C_c} \geq 3 \frac{V}{\mu s}$.

Suy ra $I_{D4} \geq C_c \cdot 3 \frac{V}{\mu s} = 3pF \cdot 3 \frac{V}{\mu s} = 9\mu A$. Từ đó chọn $I_{D4} = 10 \mu A$

2.2.6. Thiết kế cho M_2, M_3

Yêu cầu $GBW = \frac{g_{m2}}{2\pi C_c} \geq 4 MHz \rightarrow g_{m2} \geq 4 \cdot 10^6 \cdot 2\pi \cdot C_c = 75,4\mu$

Suy ra ta chọn $g_{m2} = 82\mu$

Từ công thức $g_{m2} = \sqrt{2I_D \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)}$

$$Suy ra \left(\frac{W}{L}\right)^{2,3} = \frac{(g_{m2})^2}{2I_{D2} \mu_n C_{ox}} = \frac{(82\mu)^2}{10u \cdot 140\mu} = 4.8$$

$$Chọn: \left(\frac{W}{L}\right)^{2,3} = 7$$

2.2.7. Thiết kế cho ICMR(+)

Điều kiện cho transistor M_1 hoạt động trong vùng bão hòa là $V_{DS2} \geq V_{GS2} - V_{T2}$

$$\text{Suy ra } V_{GS2} \leq V_{DS2} + V_{T2} \Rightarrow V_{G2} = V_{in} \leq V_{D2} + V_{T2}$$

Như vậy:

$$V_{in_max} = V_{D2} + V_{T2} \quad (2.16)$$

Lại có:

$$V_{D2} = V_{DD} - V_{GS1} \quad (2.17)$$

$$I_{D1} \approx \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)^1 (V_{GS1} - V_{T1})^2 = \frac{\beta}{2} (V_{GS1} - |V_{T1}|)^2$$

$$\text{Suy ra } V_{GS1} = \sqrt{\frac{2I_{D1}}{\beta}} + |V_{T1}| \quad (2.18)$$

Thay vào biểu thức, ta có:

$$V_{in_max} = V_{DD} - \left(\sqrt{\frac{2I_{D1}}{\beta}} + |V_{T1}| \right) + V_{T2} \quad (2.19)$$

Điều kiện ràng buộc cho V_{IN} đạt giá trị cực đại là $V_D + V_{T2}$ đạt giá trị nhỏ nhất hay

$[V_{DD} - \left(\sqrt{\frac{2I_{D1}}{\beta}} + |V_{T1}| \right) + V_{T2}]$ phải đạt giá trị nhỏ nhất.

$$ICMR(+) \leq V_{DD} - \frac{\sqrt{2I_{D1}}}{\sqrt{\beta}} - |V_{T1}|_{max} + V_{T2min}$$

$$\frac{2I_{D1}}{\beta} = (V_{DD} - ICMR(+))_{max} - |V_{T1}|_{max} + V_{T2min})^2$$

$$\frac{2I_{D1}}{\beta \cdot K_p \left(\frac{W}{L}\right)^2} = (V_{DD} - ICMR(+))_{max} - |V_{T1}|_{max} + V_{T2min})^2$$

$$\begin{aligned} \left(\frac{W}{L}\right)^1 &= \frac{2I_D}{K_p [V_{DD} - ICMR(+)) - |V_{T1}|_{max} + V_{T2min}]^2} \\ &= \frac{10\mu}{80u \cdot (2 - 1.9 - 0.41 + 0.53)^2} = 2,58 \end{aligned}$$

Ta chọn:

$$\left(\frac{W}{L}\right)^1 = 3, \quad \left(\frac{W}{L}\right)^0 = 3$$

2.2.8. Thiết kế ICMR(-)

Để transistor M_5 hoạt động trong vùng bão hòa thì cần thỏa mãn điều:

$$V_{D4} \geq V_{G4} - V_{T4} = V_{DSAT4} \quad (2.20)$$

Trong đó $V_{D4} = V_{S2} = V_{in} - V_{GS2}$ Thay vào bất phương trình trên ta được:

$$V_{in} - V_{GS2} \geq V_{G4} - V_{T4} = V_{DSAT4} \Rightarrow V_{in} \geq V_{GS2} + V_{DSAT4} \quad (2.21)$$

Dấu “=” xảy ra khi V_{in} đạt giá trị cực tiểu hay $ICMR(-)$ đạt min khi và chỉ khi $V_{GS2} - V_{DSAT4}$ đạt max. Hay:

$$ICMR(-) = V_{GS2_{max}} + V_{DSAT4} = \left(\sqrt{\frac{2I_{D2}}{\beta}} + |V_{T2}| \right)_{max} - V_{DSAT4} \quad (2.20)$$

$$V_{DSAT4} = ICMR(-) - \sqrt{\frac{2I_{D2}}{\beta}} - |V_{T2}|_{max} = 0.85 - \sqrt{\frac{10u}{140u \cdot 7}} - 0.56 = 0.2$$

$$\left(\frac{W}{L}\right)^4 = \frac{2I_{D4}}{K_n \cdot (V_{DSAT4})^2} = \frac{2 \cdot 10\mu}{140\mu \cdot (0.2)^2} = 3,57 \Rightarrow \text{Chọn } \left(\frac{W}{L}\right)^4 = 3$$

$$g_{m4} = \sqrt{2I_{D4} \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)^4} = \sqrt{2 \cdot 10\mu \cdot 140\mu \cdot 3} = 91,65\mu$$

2.2.9. Thiết kế cho M_7

Yêu cầu dòng điện tiêu thụ của mạch thấp hơn $100 \mu A$, trong khi đó dòng điện $I_{D4} = 10 \mu A$. Như vậy ta chọn dòng điện cung cấp cho tầng thứ hai $I_{D5} = I_{D7} = 50 \mu A$

$$\left(\frac{W}{L}\right)^7 = \left(\frac{W}{L}\right)^4 \cdot \frac{I_{D7}}{I_{D4}} = 3 \cdot \frac{50\mu}{10\mu} = 15$$

2.2.10. Thiết kế cho M_5

Vì $g_{m5} = 8,2 \cdot g_{m2}$ mà $g_{m2} = 81\mu$ nên suy ra $g_{m5} = 672,4\mu$

$$\left(\frac{W}{L}\right)^5 = \frac{(g_{m5})^2}{2 \cdot K_p \cdot I_{D5}} = \frac{(672,4\mu)^2}{2 \cdot 80\mu \cdot 50\mu} = 56,5 \Rightarrow \text{Chọn } \left(\frac{W}{L}\right)^5 = 60$$

2.2.11. Xác định dải động của tín hiệu đầu ra

$$V_{O,min} = V_{DSAT7} = \sqrt{\frac{2I_{D7}}{K_n \cdot \left(\frac{W}{L}\right)^7}} = \sqrt{\frac{2 \cdot 50\mu}{140\mu \cdot 15}} \approx 0,22 < 0,3$$

$$V_{O,max} = V_{DD} - V_{DSAT5} = 1,8 - \sqrt{\frac{2 \cdot 50\mu}{80\mu \cdot 60}} = 2 - \sqrt{\frac{2I_{D5}}{K_p \cdot \left(\frac{W}{L}\right)^5}} \approx 1,86 < 1,9$$

2.2.12. Xác định công suất tiêu thụ của mạch

Công suất tiêu thụ của mạch khuếch đại như sau:

$$P_{dis} = V_{DD} \cdot (I_{D4} + I_{D5}) = 2 \cdot (10\mu + 50\mu) = 120\mu W$$

2.2.13. Tổng hợp tham số thiết kế mạch khuếch đại

Bảng 2.1 Giá trị của các tham số mạch khuếch đại sau khi tính toán

Tham số	Giá trị: W/L
M_0	30 μ m/10 μ m
M_1	30 μ m/10 μ m
M_2	40 μ m/6 μ m
M_3	40 μ m/6 μ m
M_4	30 μ m/10 μ m
M_5	120 μ m/2 μ m
M_6	30 μ m/10 μ m
M_7	150 μ m/10 μ m
C_c	3pF

2.3. Thiết kế sơ đồ nguyên lý mạch tạo điện áp tham chiếu

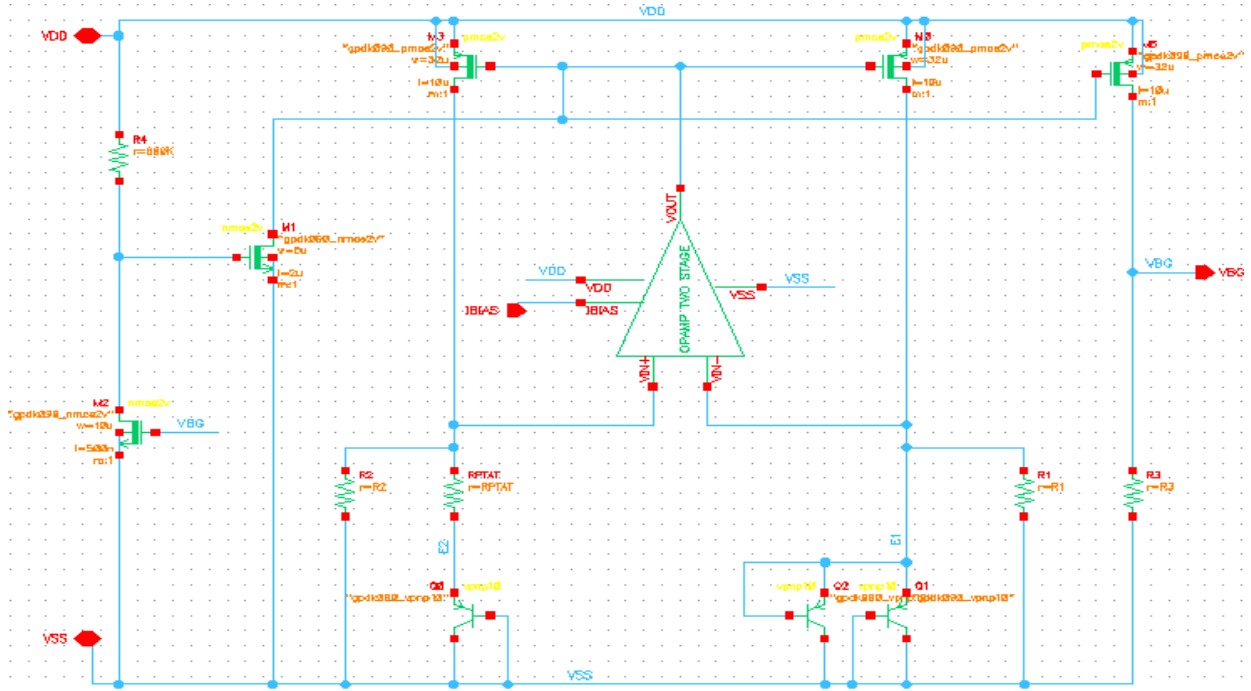
Cấu trúc mạch tạo điện áp tham chiếu có các thành phần cơ bản như sau: Mạch lõi tạo điện áp tham chiếu, mạch opamp và mạch startup

2.3.1. Mạch lõi tạo điện áp tham chiếu

Mạch lõi là thành phần quan trọng nhất của mạch, có nhiệm vụ chính trong việc tạo ra giá trị điện áp tham chiếu đầu ra bằng cách kết hợp hai giá trị điện áp PTAT và CTAT.

Trong cấu trúc mạch Bandgap, điện áp base-emitter (V_{EB} đối với transistor PNP như trong hình 2.5) của transistor lưỡng cực có hệ số nhiệt độ âm và được sử dụng như thành phần điện áp có đặc tính CTAT (Complementary to Absolute Temperature). Đồng thời, sự khác biệt giữa hai điện áp base-emitter hoạt động ở mật độ dòng điện khác nhau

(ΔV_{EB}) tạo ra thành phần điện áp có hệ số nhiệt độ dương, được gọi là PTAT (Proportional to Absolute Temperature), đóng vai trò quan trọng trong việc bù trừ nhiệt độ để đạt được điện áp tham chiếu ổn định.



Hình 2.5 Mạch tham chiếu BiCMOS với nguồn cung cấp 2V và bộ chia điện trở R

a) Lựa chọn giá trị R_1 , R_2 , R_{PTAT} và R_3

$$\text{Dòng điện qua điện trở } R_1 \text{ là: } I_{R1} = \frac{V_{BE}}{R_1} \quad (2.21)$$

$$\text{Dòng điện qua điện trở } R_{PTAT} \text{ là: } I_{R_{PTAT}} = \frac{\Delta V_{BE}}{R_{PTAT}} \quad (2.22)$$

Dòng điện qua R_3 có giá trị bằng tổng dòng điện qua R_1 và R_{PTAT} , theo tỷ lệ dòng điện 1:1

$$I_{REF} = I_{R3} = I_{R1} + I_{R_{PTAT}} = \frac{V_{BE1}}{R_1} + \frac{\Delta V_{BE}}{R_{PTAT}} \quad (2.23)$$

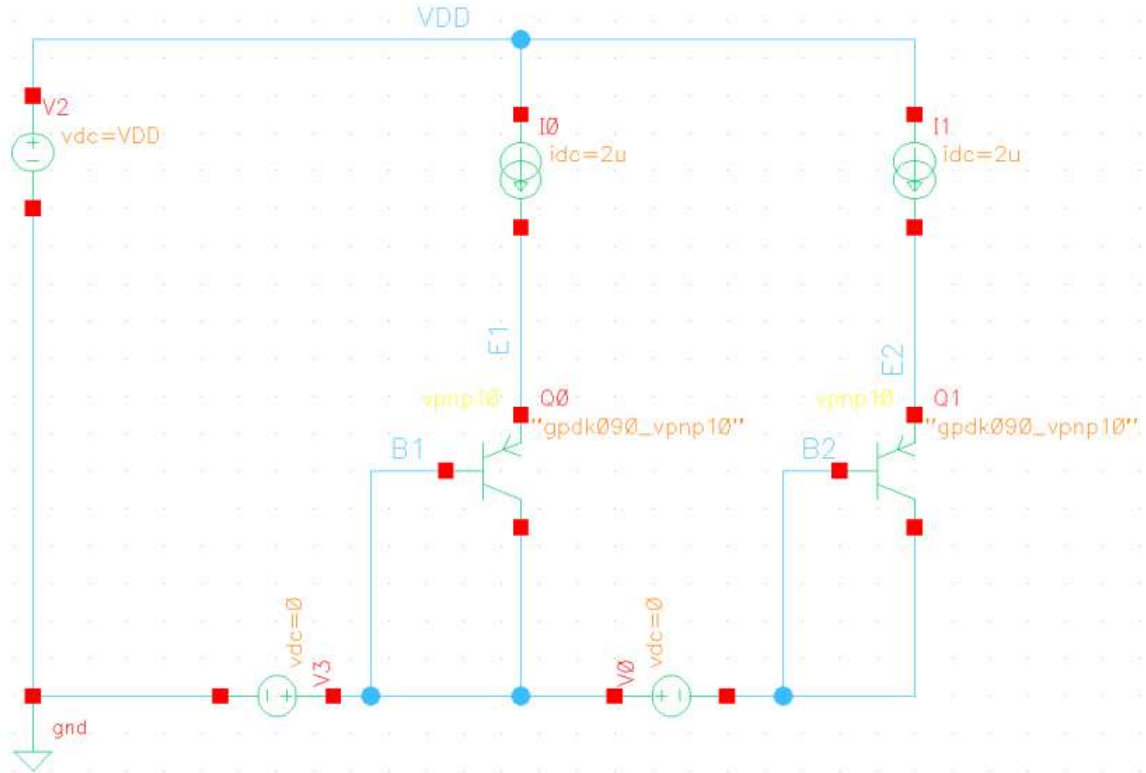
Suy ra điện áp tham chiếu ở đầu ra mạch là:

$$V_{REF} = I_O \cdot R_3 = \left(\frac{V_{BE1}}{R_1} + \frac{\Delta V_{BE}}{R_{PTAT}} \right) \cdot R_3$$

$$V_{REF} = \frac{R_3}{R_1} \cdot V_{BE1} + \frac{R_3}{R_{PTAT}} \cdot \Delta V_{BE}$$

$$\frac{\partial V_{REF}}{\partial T} = \frac{R_3}{R_1} \cdot \frac{\partial V_{BE1}}{\partial T} + \frac{R_3}{R_{PTAT}} \cdot \frac{\partial (\Delta V_{BE})}{\partial T}$$

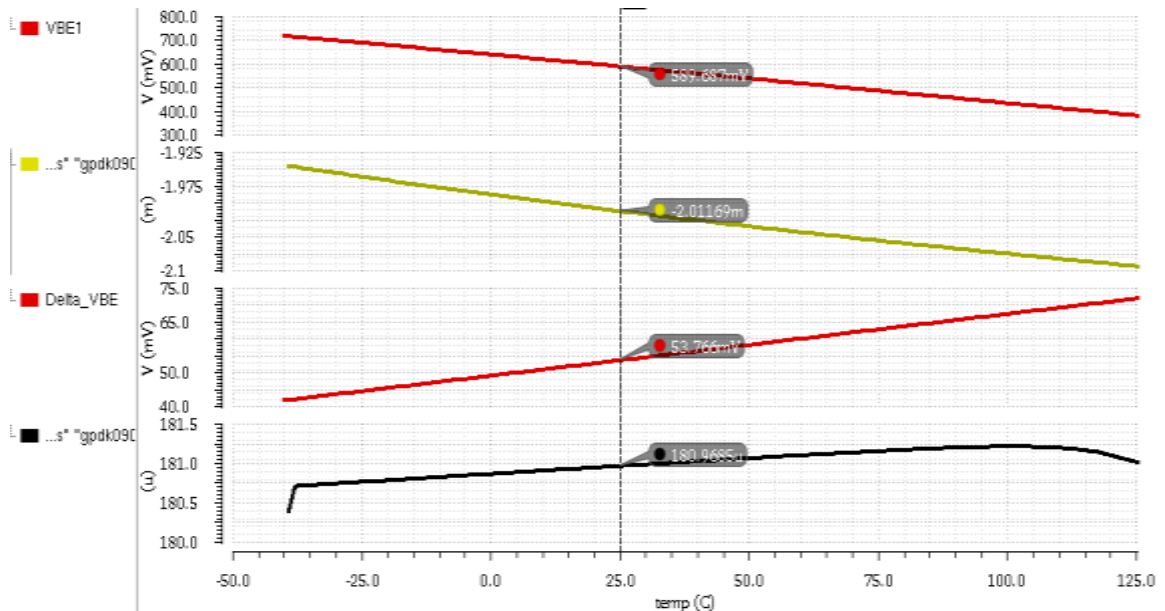
Dòng qua hai nhánh của mạch bằng nhau bằng $2\mu\text{A}$. Kết quả của V_{BE} và ΔV_{BE} và vi phân của chúng theo nhiệt độ được thực hiện trên phần mềm Cadence, sử dụng công cụ mô phỏng ta có kết quả như bên dưới:



Hình 2.6 Tìm giá trị V_{BE} , ΔV_{BE} và vi phân của chúng

$$\frac{\partial V_{BE}}{\partial T} \approx -2,012 \text{ mV/C}; \quad \frac{\partial \Delta V_{BE}}{\partial T} \approx 180,97 \mu\text{V/C} \text{ và } \Delta V_{BE} \approx 53,77 \text{ mV}$$

$$R_{PTAT} = \frac{\Delta V_{BE}}{I_{BIAS}} = \frac{53,77 \text{ mV}}{2 \mu\text{A}} = 26,885\text{k}$$



Hình 2.7 Kết quả mô phỏng cho các giá trị V_{BE} , ΔV_{BE} và vi phân của chúng

Để V_{REF} không phụ thuộc vào nhiệt độ thì $\frac{\partial V_{REF}}{\partial T} = 0$

nên suy ra:

$$\begin{aligned}
 0 &= \frac{R_3}{R_1} \cdot \frac{\partial V_{BE}}{\partial T} + \frac{R_3}{R_{PTAT}} \cdot \frac{\partial \Delta V_{BE}}{\partial T} \\
 \Leftrightarrow \frac{R_3}{R_1} \cdot \frac{\partial V_{BE}}{\partial T} &= -\frac{R_3}{R_{PTAT}} \cdot \frac{\partial \Delta V_{BE}}{\partial T} \\
 \Leftrightarrow \frac{R_1}{R_{PTAT}} &= -\frac{\partial V_{BE}}{\partial \Delta V_{BE}} = \frac{2,012 \text{ mV}}{180,97 \mu\text{V}} = 11,124
 \end{aligned}$$

Mà $R_1 = R_2 = R_{PTAT}$. $11,124 = 26,885k$. $11,124 = 299,07k$

Chọn $R_3 = R_1 = 299,07k$

b) Lựa chọn kích thước cho transistor PMOS

Các PMOS M_0, M_1, M_2, M_3, M_5 được chọn để đảm bảo hoạt động trong vùng bão hòa, kích thước của các PMOS bằng nhau đảm bảo cho dòng qua hai nhánh của mạch bằng nhau.

Bảng 2.2 Giá trị các tham số M_0, M_1, M_2, M_3, M_5 của mạch điện áp tham chiếu

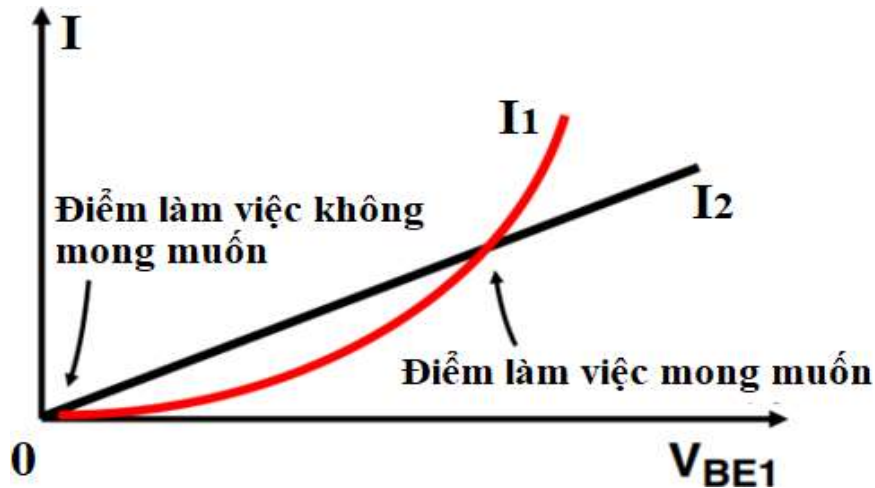
Tham số	Giá trị: W/L
M_0	$32\mu\text{m}/10\mu\text{m}$
M_1	$5\mu\text{m}/2\mu\text{m}$
M_2	$10\mu\text{m}/500\text{nm}$
M_3	$32\mu\text{m}/10\mu\text{m}$
M_5	$32\mu\text{m}/10\mu\text{m}$

2.3.2. Mạch Op-amp

Mạch opamp được sử dụng có cấu trúc tương tự như mạch khuếch đại. Sử dụng opamp trong hồi tiếp âm có tác dụng làm cho điện áp V_{IN+} và V_{IN-} bằng nhau. Thông số của các transistor và yêu cầu thiết kế như trong phần 2.2.

2.3.3. Mạch startup

Cấu trúc mạch tham chiếu Bandgap tồn tại hai điểm hoạt động: Điểm hoạt động thông thường sẽ tạo ra được giá trị điện áp tham chiếu đầu ra mong muốn; Điểm “0” có giá trị đầu vào âm và dương của opamp bằng 0V, dẫn đến không có dòng điện chạy trong lõi Bandgap và vì thế không tạo ra giá trị điện áp tham chiếu.



Hình 2.8 Hai điểm hoạt động trong cấu trúc mạch Bandgap

Mạch startup có vai trò hoạt động ở giai đoạn ban đầu, đưa mạch tham chiếu từ điểm “0” đến điểm vận hành thông thường bằng cách tạo ra điện áp V_o cung cấp cho các PMOS trong lõi Bandgap hoạt động. Mạch được thiết kế sao cho ít tác động nhất đến việc tạo ra điện áp tham chiếu của lõi và đảm bảo tắt hoàn toàn sau khi điểm làm việc đã được thiết lập bằng chính điện áp tham chiếu V_{REF} phản hồi về. Điều này là bởi khi điện áp ở cực G của M_2 chưa đủ để transistor này hoạt động, điện áp đưa đến cực G của M_1 bằng điện áp cung cấp cho mạch V_{DD} dẫn đến transistor này hoạt động làm cho hai PMOS trong mạch lõi bắt đầu dẫn. Mạch lõi BGR khi đó sẽ bắt đầu làm việc. Đến khi điện áp V_{REF} đưa đến cực G của M_2 đủ để cho nó hoạt động, điện áp cực G của M_1 giảm xuống đến khi nó tắt, mạch startup tự động ngắt ra khỏi mạch BGR.

Dưới đây là bảng biểu diễn giá trị cho các tham số trong mạch:

Bảng 2.3 Giá trị của các tham số mạch tạo điện áp tham chiếu

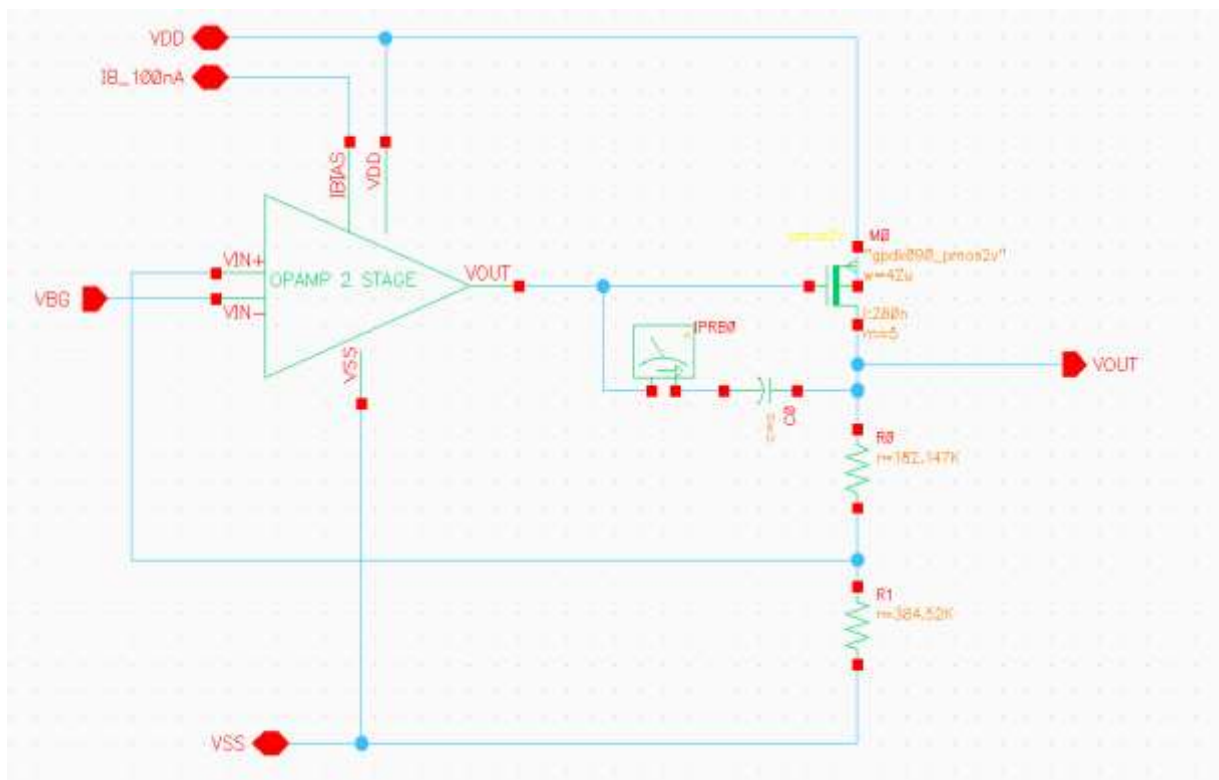
Tham số	Giá trị
$\frac{\partial V_{BE}}{\partial T}$	$\approx -2,012\text{mV/C}$
$\frac{\partial \Delta V_{BE}}{\partial T}$	$\approx 180,97\mu\text{V/C}$
ΔV_{BE}	$\approx 53,77\text{ mV}$
R_{PTAT}	$R_{PTAT} = 26,885\text{k}$
R_1	$R_1 = 299,07\text{k}$
R_2	$R_2 = 299,07\text{k}$
R_3	$R_3 = 299,07\text{k}$

2.4. Thiết kế mạch chuyển đổi điện áp có sụt áp thấp

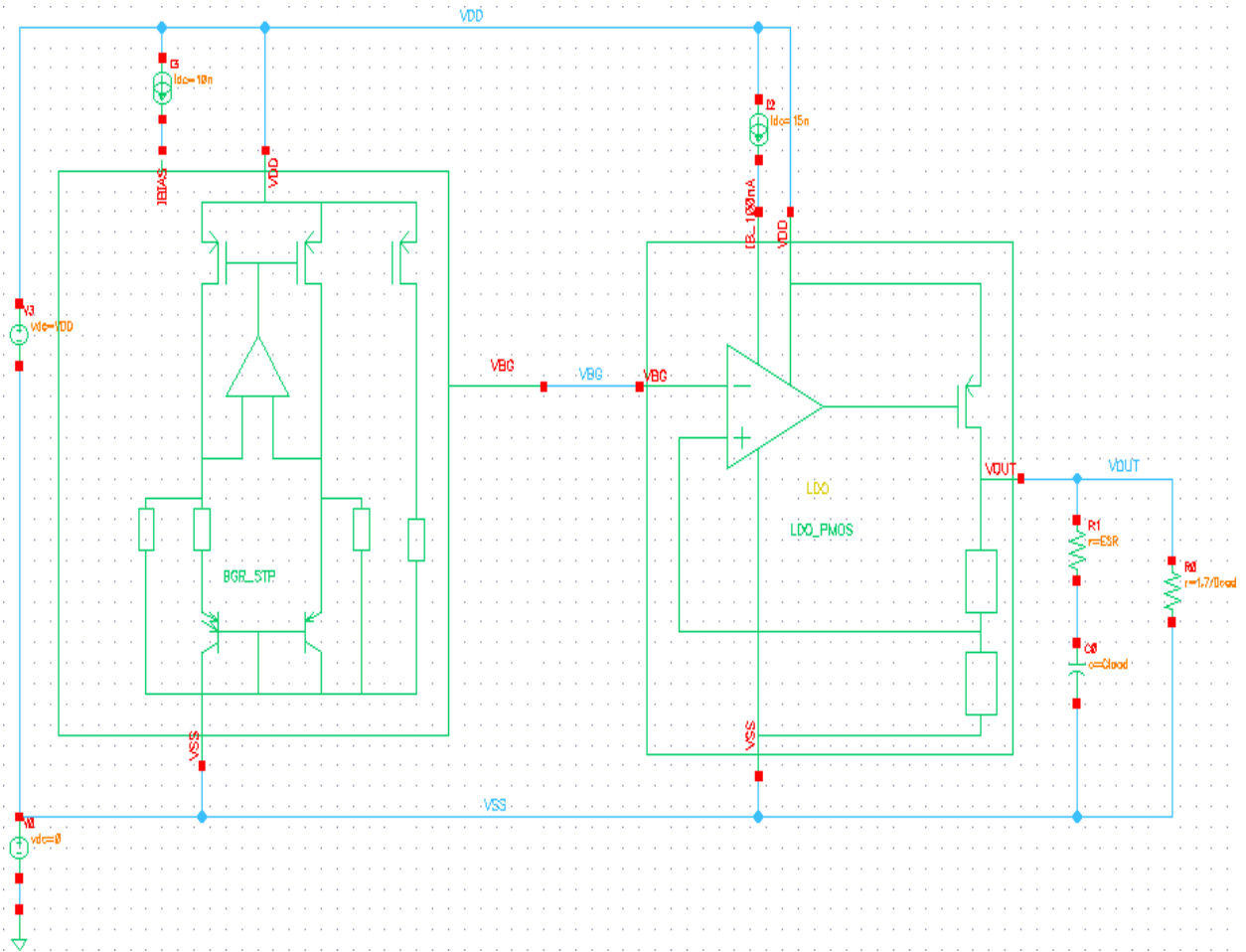
Yêu cầu thiết kế mạch ổn áp tuyến tính đầu vào dải rộng như sau:

Bảng 2.4 Yêu cầu thiết kế mạch chuyển đổi điện áp có sụt áp thấp

Tham số	Yêu cầu thiết kế
Điện áp đầu ra	$V_{OUT} = 1,7V$
Điện áp rơi	$V_{drop} = 300mV$
Dòng tải	$I_{load} = 10mA$
Dòng qua hệ thống hồi tiếp	$I_{FB} = 3\mu A$
Điện dung tải	200pF
Sai số điện áp đầu ra	$\leq 1,5\%$
ESR	100m Ω
Nhiệt độ	25 $^{\circ}C$



Hình 2.9 Sơ đồ nguyên lý mạch chuyển đổi điện áp có sụt áp thấp trên phần mềm Cadence



Hình 2.10 Thiết kế sơ đồ nguyên lý mạch chuyển đổi điện áp có sụt áp thấp rơi thấp trên phần mềm Cadence

2.4.1. Thiết kế cho transistor công suất

Cho dòng tải $I_{load} = 10\text{mA}$, dòng qua mạng hồi tiếp $I_{FB} = 3\mu\text{A}$ và chiều dài của transistor là 280nm để đảm bảo các thành phần ký sinh là nhỏ nhất. Do đó yêu cầu đặt ra cần phải tính toán chiều rộng để đảm bảo điện áp rơi (Dropout Voltage) đạt khoảng 300mV .

Trong vùng bão hòa, biểu diễn công thức cho dòng qua transistor như sau:

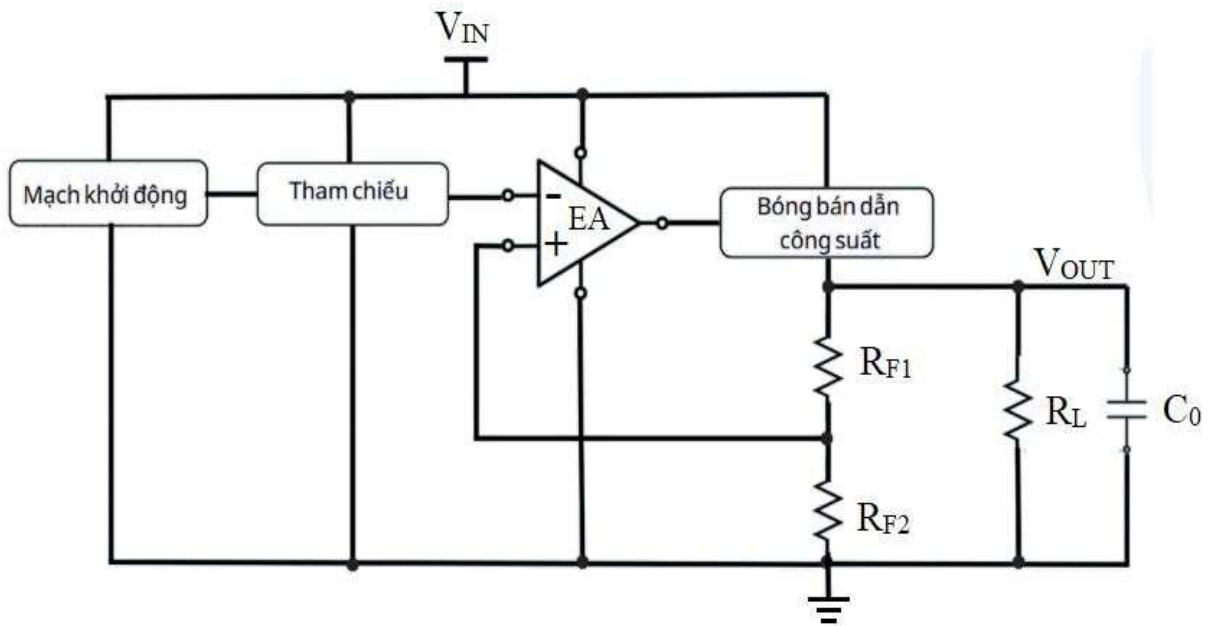
$$I_D = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{pass} (V_{GS} - V_T)^2 = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{pass} (V_G - V_{DD} - V_T)^2$$

$$I_{load} + I_{FB} = \frac{1}{2} \cdot 40\mu \cdot \left(\frac{W}{L} \right)_{pass} (0,8 - 2 + 0,59)^2$$

$$10\text{m} + 3\mu = \frac{1}{2} \cdot 82\mu \cdot \left(\frac{W}{L} \right)_{pass} \cdot (-0,61)^2$$

$$\left(\frac{W}{L} \right)_{pass} \approx 656,7$$

2.4.2. Tính toán điện trở hồi tiếp R_{F1} và R_{F2}



Hình 2.11 Điện trở hồi tiếp trong mạch chuyển đổi điện áp có sụt áp thấp

Điện áp ngõ ra của LDO $V_{OUT} = 1,7V$ và $I_{FB} = 3 \mu A$. Mối liên hệ giữa điện áp đầu ra V_{OUT} và điện áp tham chiếu V_{REF} như sau:

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_{F1}}{R_{F2}}\right)$$

$$1,7 = 1,18 \cdot \left(1 + \frac{R_{F1}}{R_{F2}}\right) \Rightarrow \frac{R_{F1}}{R_{F2}} \approx 0,44$$

Ngoài ra $R_{F1} + R_{F2} = \frac{V_{OUT}}{I_{FB}} = \frac{1,7}{3 \cdot 10^{-6}} \approx 566,67 \text{ k}\Omega$

Kết hợp hai phương trình, ta có:

Suy ra $R_{F1} \approx 173,334 \text{ k}\Omega$ và $R_{F2} \approx 393,336 \text{ k}\Omega$.

2.5 Tổng kết chương 2

Chương 2 đã cung cấp một cái nhìn toàn diện về quá trình tính toán và thiết kế các linh kiện cấu thành mạch LDO, từ sơ đồ khối tổng thể cho đến các chi tiết vi mô của từng thành phần. Chúng ta bắt đầu với việc hiểu rõ sơ đồ khối của một mạch LDO, nơi các yếu tố như mạch tham chiếu điện áp, bộ khuếch đại, mạng phản hồi và transistor công suất cùng phối hợp để duy trì điện áp đầu ra ổn định. Cơ chế phản hồi âm đã được phân tích kỹ lưỡng, làm nổi bật vai trò của bộ khuếch đại trong việc điều chỉnh dòng điện tải để bù đắp cho những thay đổi điện áp đầu ra.

Tiếp theo, trọng tâm được đặt vào thiết kế mạch khuếch đại, một trái tim điều khiển của LDO. Chúng ta đã đi sâu vào mô hình tín hiệu nhỏ để phân tích các điểm cực và điểm không, từ đó hiểu được tầm quan trọng của việc bù tần số bằng tụ Miller để đảm

bảo sự ổn định của mạch. Các thông số quan trọng như độ khuếch đại toàn mạch, băng thông khuếch đại (GBW) và tốc độ chuyển mạch (SR) đã được xác định và tính toán chi tiết, cùng với các yêu cầu về dải điện áp đầu vào chế độ chung (ICMR) và dòng điện tiêu thụ. Bảng tổng hợp các giá trị W/L của các transistor là kết quả cuối cùng của quá trình thiết kế này, đặt nền móng vững chắc cho việc triển khai thực tế.

Song song đó, mạch tạo điện áp tham chiếu (Bandgap Reference) cũng được thiết kế cẩn thận. Chúng ta đã khám phá nguyên lý kết hợp giữa thành phần điện áp PTAT và CTAT để tạo ra một điện áp tham chiếu ổn định, ít phụ thuộc vào nhiệt độ. Việc lựa chọn giá trị các điện trở và kích thước transistor đã được trình bày chi tiết. Đặc biệt, mạch startup được giới thiệu để đảm bảo Bandgap luôn khởi động đúng cách và hoạt động ở điểm mong muốn, tránh trạng thái không hoạt động.

Cuối cùng, chương đã đi sâu vào thiết kế mạch chuyển đổi điện áp sụt áp thấp hoàn chỉnh theo các yêu cầu kỹ thuật cụ thể. Việc tính toán kích thước của transistor công suất để đạt được điện áp rơi mong muốn và xác định giá trị của điện trở hồi tiếp (R_{F1} , R_{F2}) để có được điện áp đầu ra chính xác đã được trình bày rõ ràng.

Chuyển Tiếp Đến Chương 3 Kết quả thực nghiệm mạch chuyển đổi điện áp có sụt áp thấp. Những tính toán và thiết kế chi tiết trong Chương 2 là cơ sở lý thuyết vững chắc cho việc xây dựng một mạch LDO hiệu quả. Tuy nhiên, hiệu quả thực tế của một thiết kế luôn cần được kiểm chứng. Do đó, chương tiếp theo sẽ tập trung vào việc mô phỏng thực nghiệm các mạch đã được thiết kế. Đây là giai đoạn quan trọng để xác nhận các thông số kỹ thuật, đánh giá hiệu suất của mạch trong các điều kiện khác nhau, và phát hiện bất kỳ sai lệch nào giữa lý thuyết và thực tế. Các kết quả mô phỏng sẽ cung cấp cái nhìn sâu sắc về hành vi của mạch, từ đó cho phép tinh chỉnh và tối ưu hóa trước khi tiến hành triển khai vật lý.

CHƯƠNG 3: KẾT QUẢ THỰC NGHIỆM MẠCH CHUYỂN ĐỔI ĐIỆN ÁP CÓ SỤT ÁP THẤP

3.1 Giới thiệu chung

Trong chương này, chúng em sẽ trình bày về các kết quả thực nghiệm sau khi tính chọn và thiết kế mạch. Sau đó đưa ra nhận xét về các kết quả đo được có đúng với yêu cầu đặt ra hay không và so sánh từ các bài thực nghiệm trước.

3.2 Kết quả thực nghiệm của mạch khuếch đại

Kết quả cuối cùng sau khi mô phỏng trên phần mềm Cadence virtuoso và kết quả tính toán ở trên cho ta thấy được công suất tiêu thụ, độ khuếch đại một chiều, băng thông khuếch đại, tốc độ chuyển mạch tín hiệu, dải điện áp chế độ chung đầu vào, dải điện áp chế độ chung đầu ra, phase Margin như vậy các kết quả mô phỏng của EA đã cung cấp bằng chứng định lượng thuyết phục rằng thiết kế đã được đáp ứng các mục tiêu đảm bảo tính ổn định của toàn bộ vòng điều khiển LDO, so sánh và phát hiện sai số của mạch điện áp thấp.

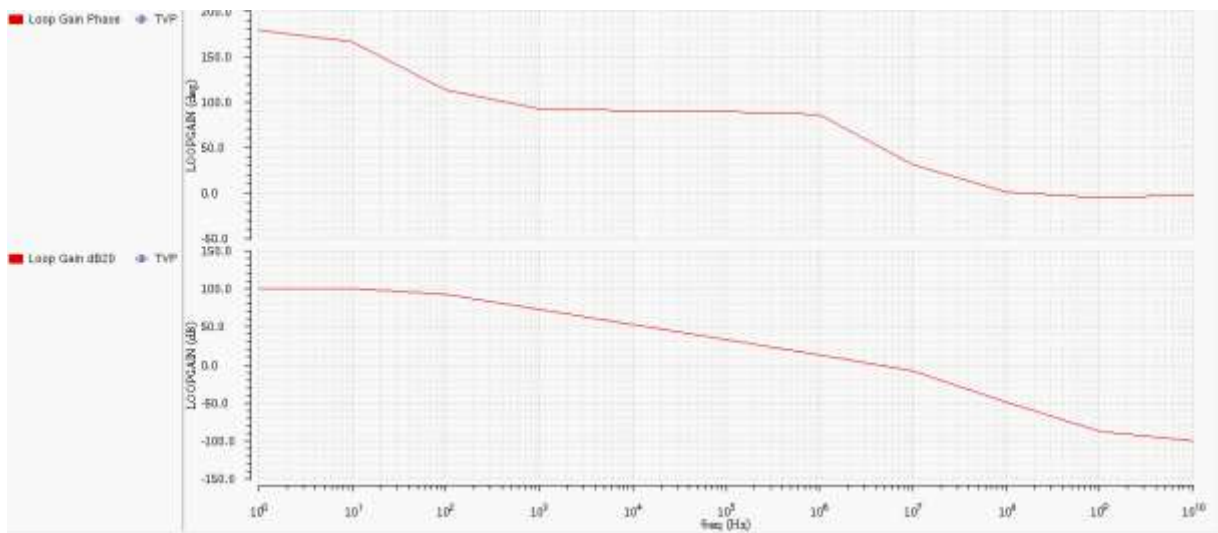
Bảng 3.1 Bảng tổng hợp kết quả mô phỏng mạch khuếch đại trên phần mềm Cadence

Tham số	Yêu cầu thiết kế	Kết quả đạt được
Điện áp cung cấp	2V	2V
Thư viện công nghệ	gpdk90	gpdk90
Công suất tiêu thụ	$< 200\mu W$	$120\mu W$
Độ khuếch đại một chiều	$A_v > 35dB$	$A_v \approx 100,02dB$
Băng thông khuếch đại	$GBW \geq 4MHz$	$GBW \approx 6,503 MHz$
Tốc độ chuyển mạch tín hiệu	$SR \geq 3V/\mu s$	$SR \approx 3,3 V/\mu s$
Dải điện áp chế độ chung đầu vào	$0,85 \leq ICMR \leq 1,9V$	$0,77 \leq ICMR \leq 1,86V$
Dải điện áp chế độ chung đầu ra	$0,3 \leq OCMR \leq 1,9V$	$0,16 \leq OCMR \leq 1,9 (V)$
Phase Margin	$PM \geq 60^\circ$	$PM \approx 53,1682$

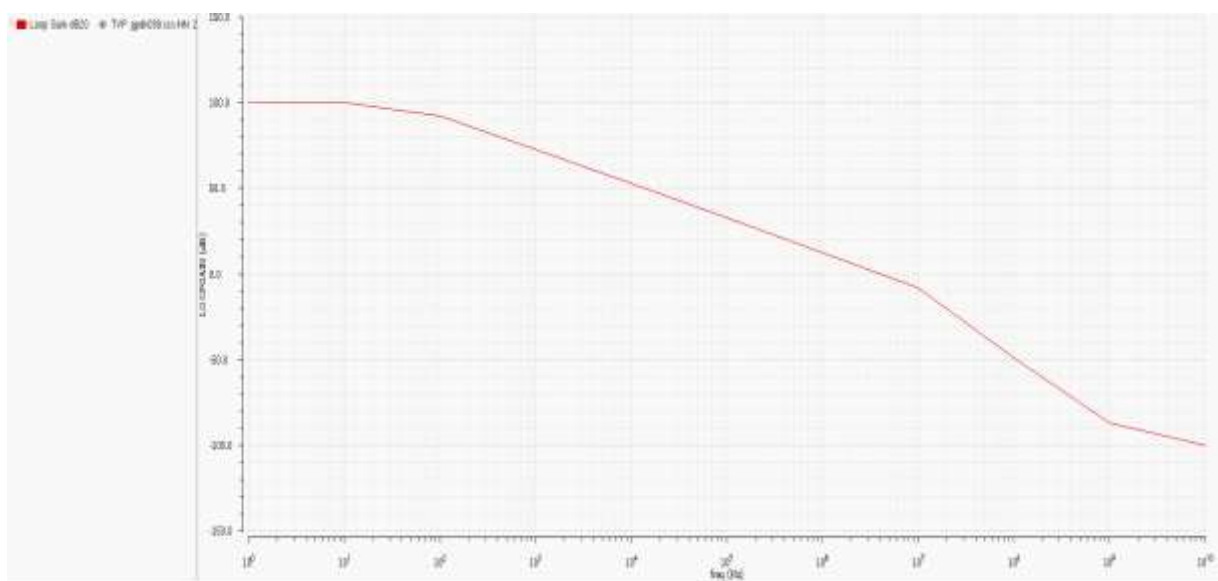


Hình 3.1 Phase Margin của mạch khuếch đại

Kết quả mô phỏng về độ ổn định của hệ thống cho thấy, tần số cắt độ lợi ω_{GX} nhỏ hơn tần số cắt pha ω_{PX} và $PM \approx 53,168^\circ$ cho thấy hệ thống đã đạt yêu cầu về độ ổn định.



Hình 3.2 Kết quả mô phỏng về độ ổn định của mạch khuếch đại



Hình 3.3 Bandwidth của mạch khuếch đại

3.3 Kết quả thực nghiệm của mạch tạo điện áp tham chiếu

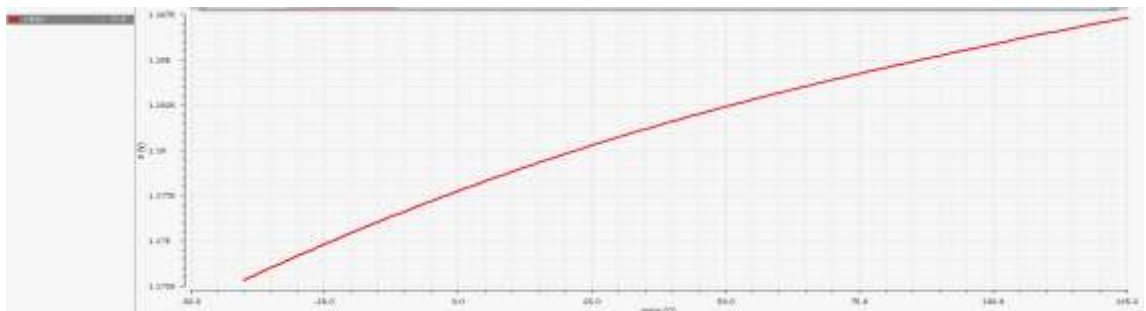
Dựa trên bảng kết quả mô phỏng, điện áp tham chiếu tại nhiệt độ 25°C và 27°C được xác nhận là 1,18V, với dải giá trị Min/Max và TVP đều là 1,18V. Điều này cho thấy mạch BGR đã được thiết kế để tạo ra một điện áp tham chiếu chính xác tại nhiệt độ phòng.

Hơn nữa, các thông số $V_{REF_DRIFT_MAX}$ (7,031m) và $V_{REF_DRIFT_MIN}$ (7,44m) là các giá trị chênh lệch lớn nhất và nhỏ nhất của điện áp tham chiếu so với một điểm chuẩn, thường là tại nhiệt độ 25°C và 27°C. Những giá trị này rất nhỏ, cho thấy có một sự biến thiên nhất định của V_{REF} theo nhiệt độ rất nhỏ. Như vậy dải V_{REF_MAX} là 1,187V và V_{REF_MIN} là 1,173V, cho thấy rằng điện áp tham chiếu vẫn nằm trong một biên độ trên toàn bộ dải nhiệt độ hoạt động.

Quan trọng hơn, đồ thị V_{REF} với nhiệt độ minh họa trực quan sự thay đổi của điện áp tham chiếu theo nhiệt độ. Đường cong này cho thấy điện áp tham chiếu có xu hướng tăng rất nhẹ khi nhiệt độ tăng. Mặc dù lý tưởng là điện áp tham chiếu phải hoàn toàn không đổi theo nhiệt độ, nhưng trong thực tế, mọi mạch Bandgap đều có một hệ số nhiệt độ nhất định. Độ dốc của đường cong này cho phép đánh giá hiệu quả của việc bù nhiệt trong thiết kế BGR. Một đường cong càng phẳng, chứng tỏ hệ số nhiệt độ càng nhỏ, và mạch BGR càng hiệu quả trong việc duy trì điện áp tham chiếu ổn định qua các điều kiện nhiệt độ khác nhau. Việc đạt được một đường cong tương đối phẳng trên một dải nhiệt độ rộng là một thành công của thiết kế.

Parameter	Nominal					TVP
gpdk090.scs	NN					NN
temperature	27					25

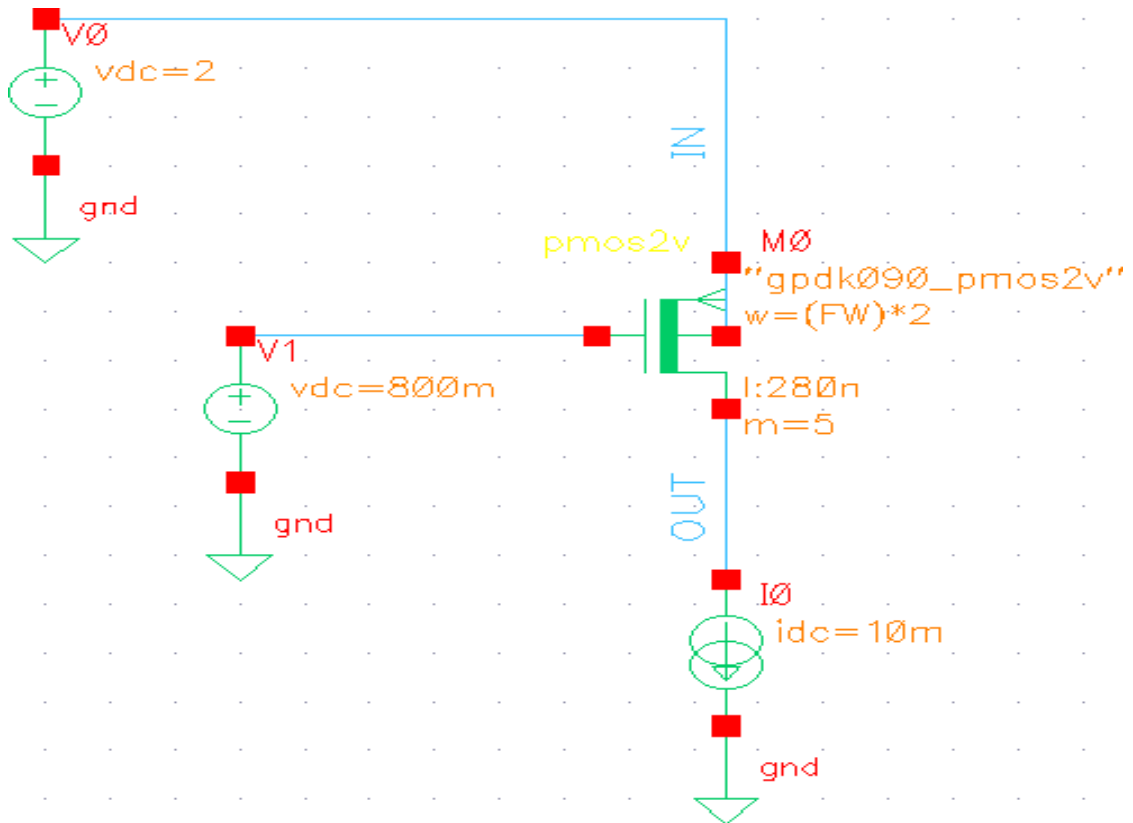
Test	Output	Nominal	Spec	Weight	Pass/Fail	Min	Max	TVP
BG	/VREF	↙						↙
BG	VREF	↗						↗
BG	VREF_25	1.18				1.18	1.18	1.18
BG	VREF_DRIFT_MAX	7.031m				7.031m	7.031m	7.031m
BG	VREF_DRIFT_MIN	7.44m				7.44m	7.44m	7.44m
BG	VREF_MAX	1.187				1.187	1.187	1.187
BG	VREF_MIN	1.173				1.173	1.173	1.173



Hình 3.4 Kết quả mô phỏng mạch tạo điện áp tham chiếu

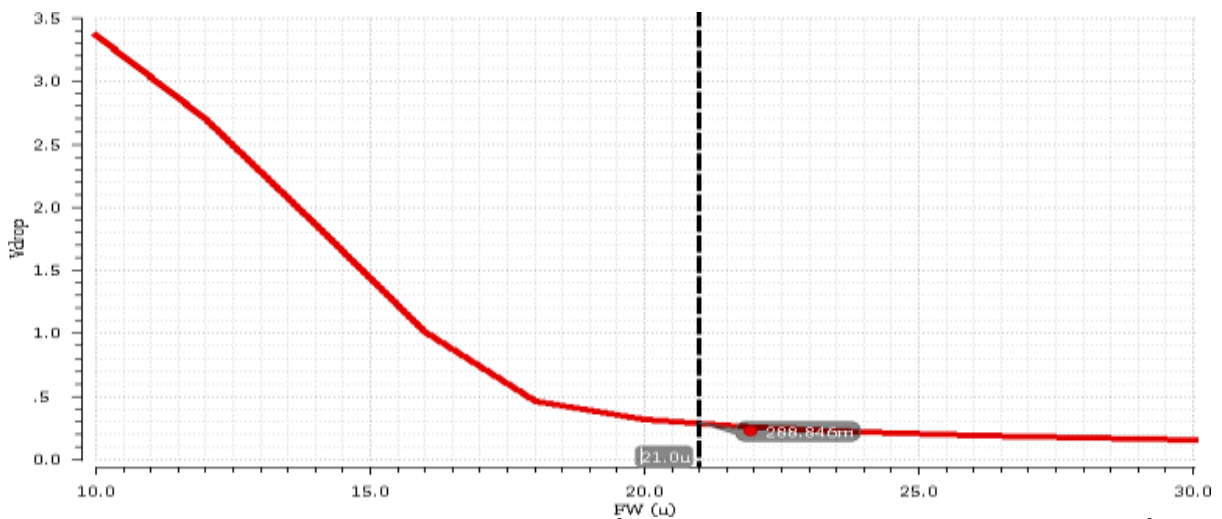
3.4 Kết quả thực nghiệm cho transistor công suất

Để xác định chính xác cho kích thước của pass transistor, nhóm chúng em đề xuất thực hiện mô phỏng trên phần mềm Cadence bằng cách tạo một mạch như sau:



Hình 3.5 Xác định kích thước cho transistor công suất

Sau khi mô phỏng mạch khuếch đại hai tầng, điện áp đưa tới cực Gate của M_0 giá trị bằng 800mV. Dòng I_{load} có giá trị 10mA và $V_{DD} = 2V$. Bằng cách chạy mô phỏng trên một dải giá trị của FW từ $10\mu V$ đến $30\mu V$, với mỗi bước là $2\mu V$. Sau đó biểu diễn ra biểu đồ bode ta được:

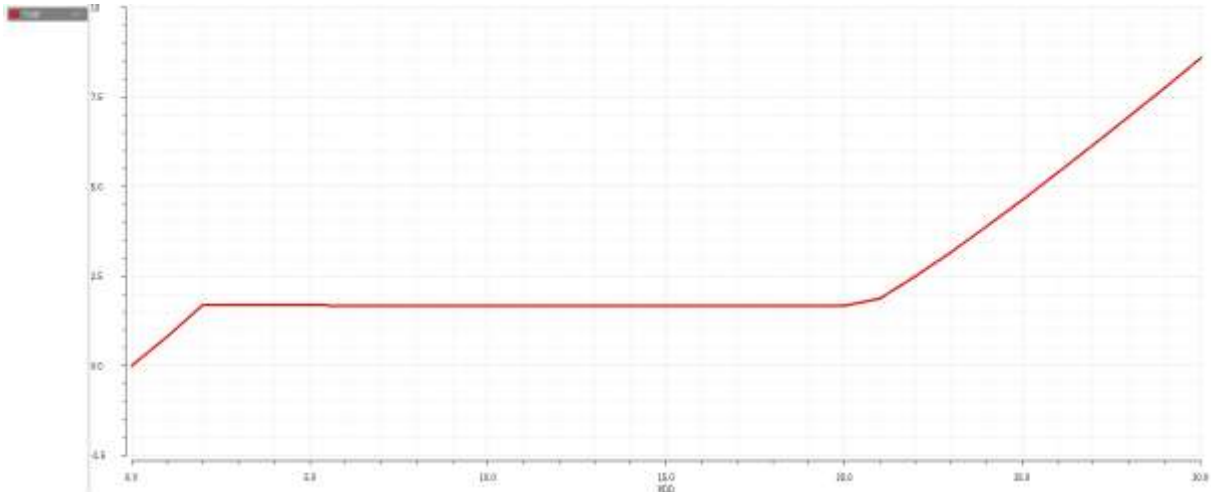


Hình 3.6 Mô phỏng điện áp rơi theo chiều tăng độ rộng của transistor công suất

Kết quả cho thấy FW lớn hơn $20\mu\text{V}$ đảm bảo điện áp rơi thấp hơn 300mV nên ta có thể chọn $\text{FW} = 21\mu\text{V}$.

3.5 Kết quả thực nghiệm của mạch chuyển đổi điện áp có sụt áp thấp

Hình 3.7 trình bày đồ thị Bode thu được từ kết quả mô phỏng mạch ổn áp tuyến tính điện áp rơi thấp (LDO) được đề xuất trong nghiên cứu này. Trong đó điện áp đầu ra $V_{\text{OUT}} \approx 1,7\text{V}$ tương ứng với dải điện áp đầu vào $1,8\text{V} \leq V_{\text{DD}} \leq 20,7\text{V}$.



Hình 3.7 Kết quả mô phỏng cho dải điện áp đầu vào của mạch chuyển đổi điện áp có sụt áp thấp

Test	Output	Spec	Weight	Pass/Fail	Min	Max	TVP
LDO	/VDD						✓
LDO	/VOUT						✓
LDO	/VSS						✓
LDO	VBG				1.18	1.18	1.18
LDO	Vout				1.701	1.701	1.701
LDO	Loop Gain Phase						✓
LDO	Loop Gain dB20						✓
LDO	Power dissipation				3.042m	3.042m	3.042m
LDO	VDD				2	2	2
LDO	Iq				23.11u	23.11u	23.11u
LDO	Vdropout				299.5m	299.5m	299.5m
LDO	Power consumption				3.042m	3.042m	3.042m
LDO	Power efficiency				84.83	84.83	84.83
LDO	lin				10.03m	10.03m	10.03m
LDO	lout				10m	10m	10m
LDO	/V1/PLUS						✓
LDO	/I1/VOUT						✓

Hình 3.8 Kết quả mô phỏng mạch chuyển đổi điện áp có sụt áp thấp cho các thông số kỹ thuật

Tóm lại, dữ liệu cho thấy điện áp tham chiếu Bandgap (V_{BG}) được duy trì ổn định ở mức $1,181\text{V}$, với biên độ dao động rất nhỏ từ $1,18\text{V}$ đến $1,181\text{V}$. Sự ổn định và chính xác cao của V_{BG} là một yếu tố cực kỳ quan trọng, bởi lẽ nó là nền tảng cho độ chính xác tổng thể của điện áp đầu ra LDO. Song song đó, điện áp đầu ra (V_{out}) cũng thể hiện

hiệu suất đáng kể khi đạt mức 1,701V, với dải V_{min} và V_{max} đều là 1,701V. Điều này cho thấy điện áp đầu ra đã được điều chỉnh chính xác theo giá trị mong muốn, đồng thời chứng tỏ khả năng duy trì ổn định tại điểm hoạt động này trong điều kiện mô phỏng cụ thể. Điện áp cung cấp (VDD) được cố định ở 2V, một điều kiện tiêu chuẩn để đánh giá các thông số khác của LDO.

Hơn nữa, một trong những đặc tính nổi bật của LDO là điện áp rơi thấp (dropout voltage). Kết quả mô phỏng chỉ ra rằng $V_{dropout}$ có giá trị là 299,5mV, với mức dao động ($V_{dropoutMax}$) rất nhỏ lên đến 299,5mV. Mức điện áp rơi này được đánh giá là khá thấp, minh chứng cho sự thành công trong việc thiết kế một bộ điều chỉnh điện áp tuyến tính có khả năng hoạt động hiệu quả ngay cả khi điện áp cung cấp chỉ cao hơn một chút so với điện áp đầu ra. Điều này đặc biệt có ý nghĩa trong các ứng dụng di động và tiêu thụ công suất thấp, nơi hiệu quả năng lượng là ưu tiên hàng đầu.

Về mặt tiêu thụ năng lượng, cả Power Dissipation (công suất tiêu tán) và Power Consumption (tổng công suất tiêu thụ) đều được ghi nhận ở mức 3,042mW. Giá trị I_q (Quiescent Current – dòng điện tĩnh) rất thấp, chỉ 23,11 μ A. Đây là một điểm mạnh đáng kể, cho thấy LDO hoạt động hiệu quả với mức tiêu thụ năng lượng tối thiểu khi không có tải hoặc tải nhẹ. Điều này đặc biệt quan trọng trong các ứng dụng di động hoặc các thiết bị cần tối ưu hóa tuổi thọ pin.

Hiệu suất năng lượng (Power efficiency) đạt mức cao 84.83%, chứng tỏ LDO chuyển đổi năng lượng đầu vào thành năng lượng đầu ra với mức thất thoát rất nhỏ. Cùng với các giá trị I_{in} (Input Current) và I_{out} (Output Current) ở mức 10.03mA và 10mA tương ứng, điều này cho thấy khả năng cung cấp dòng điện ổn định và đáng tin cậy cho tải.

3.6 So sánh kết quả

Dưới đây là bảng so sánh chất lượng của mạch ổn áp tuyến tính điện áp rơi thấp với các nghiên cứu trước:

Bảng 3.2 So sánh chất lượng của mạch LDO đề xuất với mạch LDO nghiên cứu trước

	Mạch ổn áp tuyến tính trong các nghiên cứu trước	Mạch ổn áp tuyến tính đề xuất
Công nghệ	180nm	90nm
Dải điện áp đầu vào	3,6 V – 13,6 V	1,8 V – 20,7V
Điện áp đầu ra	3,3V	1,7V
Điện áp rơi	300mV	260.5mV

Kết quả mô phỏng đã cho thấy sự khác biệt rõ rệt về dải điện áp đầu vào giữa mạch LDO được đề xuất và mạch ổn áp trong các nghiên cứu trước đây. Trong khi mạch LDO trước chỉ hoạt động ổn định trong khoảng điện áp đầu vào từ 3,6V đến 13,6V, tương ứng với dải điện áp đầu vào là 10V thì mạch LDO trong nghiên cứu này đã chứng minh khả năng duy trì điện áp đầu ra ổn định (1,7V) trong một phạm vi điện áp đầu vào rộng hơn, từ 1,9V đến 20,5V. Mạch ổn áp tuyến tính điện áp rơi thấp được đề xuất trong đề án này sở hữu dải điện áp đầu vào rộng hơn đáng kể, cụ thể là tăng hơn hai lần so với các cấu trúc đã được phân tích trước đó, mang lại ý nghĩa quan trọng trong việc nâng cao tính linh hoạt và khả năng ứng dụng của mạch trong thực tế. Mạch LDO được nghiên cứu, với dải điện áp đầu vào được mở rộng, cho phép hệ thống hoạt động ổn định trong nhiều tình huống điện áp đầu vào khác nhau. Khả năng chịu đựng sự biến động lớn của điện áp đầu vào giúp mạch trở nên phù hợp hơn cho các ứng dụng sử dụng pin (điện áp giảm dần theo thời gian), các hệ thống công nghiệp chịu nhiễu điện, hoặc các thiết bị di động có nhiều chế độ hoạt động với mức tiêu thụ năng lượng khác nhau.

PHẦN KẾT LUẬN VÀ KIẾN NGHỊ

1. KẾT LUẬN

Nghiên cứu này đã đưa ra những tìm hiểu và thiết kế mạch ổn áp tuyến tính điện áp rơi thấp đầu vào dải rộng sử dụng công nghệ CMOS 90nm. Chương 1 của báo cáo đã đưa ra được những lý thuyết cơ bản liên quan đến các thành phần trong mạch, vai trò và ứng dụng của nó. Các chỉ tiêu kỹ thuật cho mạch ổn áp được xây dựng dựa trên nghiên cứu về đặc điểm của tín hiệu cũng như khảo sát các hệ thống tương tự trong các bài báo những năm gần đây. Chương 2 trình bày tường tận trình tự các bước thiết kế cho từng khối của mạch ổn áp tuyến tính nói riêng và toàn bộ hệ thống nói chung. Chương 3 trình bày về các kết quả thực nghiệm sau khi tính chọn và thiết kế mạch và sau đó đưa ra nhận xét về các kết quả đo đúng với yêu cầu đặt ra. Tóm lại, nghiên cứu này đã hoàn thành việc thiết kế và thực nghiệm mô phỏng mạch ổn áp tuyến tính điện áp rơi thấp đầu vào dải rộng sử dụng công nghệ CMOS 90nm, đạt được các chỉ tiêu kỹ thuật quan trọng như điện áp rơi thấp 299.5mV và khả năng ổn định điện áp trong dải đầu vào rộng 1,8V – 20,7V. Thiết kế này thể hiện tiềm năng ứng dụng trong nhiều lĩnh vực. Tuy nhiên, vẫn còn những hạn chế nhất định về độ chính xác giữa hai điện áp đầu vào vi sai ở mạch khuếch đại, kết quả điện áp tham chiếu vẫn còn bị ảnh hưởng của hiệu ứng phi tuyến bậc hai của thành phần CTAT và PTAT ở vùng nhiệt độ cao. Ngoài ra, công suất tiêu thụ lớn đối với dải đầu vào cao

2. KIẾN NGHỊ

Đề án này vẫn còn tồn tại một số hạn chế do thời gian nghiên cứu và trình độ có hạn, do đó nhóm chúng em đề xuất một số các giải pháp để cải thiện những điểm còn tồn tại kể trên cho những dự án nghiên cứu tiếp theo như sau:

Opamp sử dụng trong mạch tạo điện áp tham chiếu có thể thay thế bằng mạch folded – cascode có độ khuếch đại lớn hơn, làm tăng độ chính xác cho điện áp đầu vào vi sai

Để giảm thiểu ảnh hưởng của hiệu ứng phi tuyến bậc hai của CTAT và PTAT lên điện áp tham chiếu, chúng em đề xuất sử dụng mạch Curvature Compensation. Với những mạch tạo điện áp tham chiếu cần đến độ chính xác cao thì sử dụng thêm mạch này là rất cần thiết

Hiệu suất thấp và công suất tiêu thụ lớn, đặc biệt khi có sự chênh lệch đáng kể giữa điện áp đầu vào và đầu ra, là những đặc điểm cố hữu của mạch ổn áp tuyến tính. Với dải

điện áp đầu vào rộng, công suất tiêu thụ có thể tăng lên đáng kể, gây lãng phí năng lượng và tạo ra nhiệt lượng không mong muốn. Do đó, chúng em kiến nghị cần tiếp tục nghiên cứu, phát triển và đề xuất các giải pháp mới nhằm giảm thiểu các yếu tố ảnh hưởng tiêu cực đến hiệu suất và công suất tiêu thụ của mạch ổn áp. Các nghiên cứu trong tương lai có thể tập trung vào việc khám phá các cấu trúc mạch ổn áp hiệu quả hơn, ứng dụng các lãng phí năng lượng và tạo ra nhiệt lượng không mong muốn. Do đó, chúng em kiến nghị cần tiếp tục nghiên cứu, phát triển và đề xuất các giải pháp mới nhằm giảm thiểu các yếu tố ảnh hưởng tiêu cực đến hiệu suất và công suất tiêu thụ của mạch ổn áp. Các nghiên cứu trong tương lai có thể tập trung vào việc khám phá các cấu trúc mạch ổn áp hiệu quả hơn, ứng dụng các linh kiện bán dẫn tiên tiến với tổn hao thấp, hoặc đề xuất các phương pháp điều khiển thông minh để tối ưu hóa hiệu suất hoạt động trong các điều kiện khác nhau. Việc giải quyết vấn đề này không chỉ góp phần nâng cao hiệu quả sử dụng năng lượng mà còn kéo dài tuổi thọ của thiết bị và giảm thiểu tác động đến môi trường.

TÀI LIỆU THAM KHẢO

1. Đinh Thị Thùy Dương, Nguyễn Trung (2022), “Nghiên cứu kỹ thuật bù ổn định cho LDO không dùng tụ điện ngoài chip trên công nghệ CMOS”, *Tạp chí khoa học và công nghệ*, 58 (4)
2. Nguyễn Đức Huy, Nguyễn Kim Ánh (2020), , “Thiết kế nguồn điện áp tham chiếu bandgap công suất thấp sử dụng công nghệ CMOS 28nm”, *Tạp chí khoa học và công nghệ*, 18 (4.1).
3. Nguyễn Hữu Thọ, Nguyễn Thế Quang (2019), “Thiết kế mạch LDO đầu vào dải rộng sử dụng công nghệ CMOS 180 nm”, *Tạp chí khoa học và công nghệ*, 17 (10.1).
4. Nguyễn Thị Thảo, Nguyễn Hữu Thọ (2022), “Mạch tạo điện áp tham chiếu ổn định đạt được 6.8 ppm/°C trên công nghệ CMOS 180 nm”, *TNU Journal of Science and Technology*, 227 (11).
5. Behzad Razavi (2017), *Design of Analog CMOS Integrated Circuits*, 2nd edition, McGraw-Hill Education.